

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11168407 A**(43) Date of publication of application: **22 . 06 . 99**

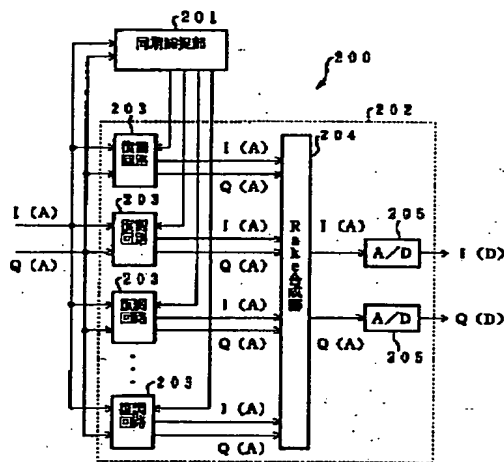
(51) Int. Cl.

**H04B 1/707**(21) Application number: **10242320**(22) Date of filing: **27 . 08 . 98**(30) Priority: **30 . 09 . 97 JP 09266132**(71) Applicant: **SHARP CORP**(72) Inventor: **HARA KEITA  
IIZUKA KUNIIHIKO****(54) SPREAD SPECTRUM COMMUNICATION  
EQUIPMENT****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide spread spectrum communication equipment with which circuit scale or power consumption at a base band processing part is reduced and the reception accuracy of reception signals is improved.

**SOLUTION:** A base band processing part 200 is provided with a synchronism capture part 201 for performing synchronism capture to an analog spectrum spreading signal and a data demodulating part 202 for performing demodulating processing to the analog spectrum spreading signal to which the synchronism capture is performed by the synchronism capture signal 201. The synchronism capture part 201 has a matched filter for detecting the peak position of the inputted spectrum spreading signal and the analog processing of the matched filter is performed at least.

COPYRIGHT: (C)1999,JPO



**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-168407

(43) 公開日 平成11年(1999) 6月22日

(51) Int.Cl.<sup>8</sup>

H 0 4 B 1/707

識別記号

F I

H 0 4 J 13/00

D

審査請求 未請求 請求項の数14 O L (全 39 頁)

(21) 出願番号 特願平10-242320

(22) 出願日 平成10年(1998) 8月27日

(31) 優先権主張番号 特願平9-266132

(32) 優先日 平 9 (1997) 9月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 原 圭太

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 飯塚 邦彦

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

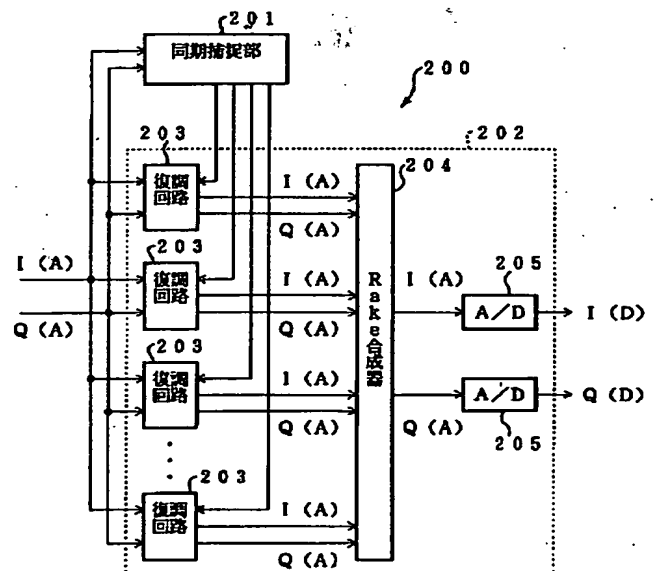
(74) 代理人 弁理士 原 謙三

#### (54) 【発明の名称】 スペクトル拡散通信装置

##### (57) 【要約】

【課題】 ベースバンド処理部における回路規模や消費電力を小さくし、且つ受信信号の受信精度を向上させるようなスペクトル拡散通信装置を提供する。

【解決手段】 ベースバンド処理部200は、アナログスペクトル拡散信号に対して同期捕捉を行う同期捕捉部201と、該同期捕捉部によって同期捕捉されたアナログスペクトル拡散信号に対して復調処理を行うデータ復調部202とを備える。上記同期捕捉部201は、入力されたアナログスペクトル拡散信号のピーク位置を検出するためのマッチトフィルタを有し、少なくとも、上記マッチトフィルタの処理をアナログで処理する。



## 【特許請求の範囲】

【請求項1】受信したアナログスペクトル拡散信号をベースバンド処理部でデジタル信号にして復調するスペクトル拡散通信装置において、

上記ベースバンド処理部は、受信したアナログスペクトル拡散信号から同期捕捉を行う同期捕捉部と、該同期捕捉部による結果に基づいて受信したアナログスペクトル拡散信号の復調を行うデータ復調部とを備え、

上記同期捕捉部は、受信したアナログスペクトル拡散信号のピーク位置を検出するためのマッチトフィルタを少なくとも有し、

上記マッチトフィルタではアナログ処理が行われることを特徴とするスペクトル拡散通信装置。

【請求項2】上記同期捕捉部は、

上記のマッチトフィルタの出力側に、該マッチトフィルタにより検出された相関値のパワー値を求めるPower計算部と、

Power計算部の出力の複数のピークの連続する複数周期の平均値を求めるための平均化処理部と、

平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のバスを同定するバス同定部とを備え、

上記マッチトフィルタの出力の直後にA/D変換器が配置されていることを特徴とする請求項1記載のスペクトル拡散通信装置。

【請求項3】上記同期捕捉部は、

上記のマッチトフィルタの出力側に、該マッチトフィルタにより検出された相関値のパワー値を求めるPower計算部と、

Power計算部の出力の複数のピークの連続する複数周期の平均値を求めるための平均化処理部と、

平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のバスを同定するバス同定部とを備え、

上記Power計算部の出力直後にA/D変換器が配置されていることを特徴とする請求項1記載のスペクトル拡散通信装置。

【請求項4】上記同期捕捉部は、

上記のマッチトフィルタの出力側に、該マッチトフィルタにより検出された相関値のパワー値を求めるPower計算部と、

Power計算部の出力の複数のピークの連続する複数周期の平均値を求めるための平均化処理部と、

平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のバスを同定するバス同定部とを備え、

上記平均化処理部の出力の直後にA/D変換器が配置されていることを特徴とする請求項1記載のスペクトル拡散通信装置。

【請求項5】上記データ復調部は、

拡散コードを生成するための拡散コード生成器と、

生成された拡散コードに基づいて、受信したアナログスペクトル拡散信号を逆拡散する逆拡散部とを備え、

上記逆拡散部の出力側にA/D変換器が配置されていることを特徴とする請求項1ないし4の何れかに記載のスペクトル拡散通信装置。

【請求項6】上記データ復調部は、

拡散コードを生成するための拡散コード生成器と、

生成された拡散コードに基づいて、受信したアナログスペクトル拡散信号を逆拡散する逆拡散部と、

逆拡散された複数の信号を合成するためのRake合成器とを備え、

上記逆拡散部とRake合成器との間にA/D変換器が配置されていることを特徴とする請求項1ないし4の何れかに記載のスペクトル拡散通信装置。

【請求項7】上記データ復調部は、

拡散コードを生成するための拡散コード生成器と、

生成された拡散コードに基づいて、受信したアナログスペクトル拡散信号を逆拡散する逆拡散部と、

20 逆拡散された複数の信号を合成するためのRake合成器とを備え、

上記Rake合成器の出力側にA/D変換器が配置されていることを特徴とする請求項1ないし4の何れかに記載のスペクトル拡散通信装置。

【請求項8】上記データ復調部は、さらに、上記同期捕捉部の捕捉結果に基づいて、上記拡散コード生成器を制御する同期追跡部を備えていることを特徴とする請求項5ないし7の何れかに記載のスペクトル拡散通信装置。

30 【請求項9】上記同期追跡部は、遅延ロックループからなることを特徴とする請求項8記載のスペクトル拡散通信装置。

【請求項10】上記同期追跡部は、タウディザループからなることを特徴とする請求項8記載のスペクトル拡散通信装置。

【請求項11】上記同期追跡部は、ダブルディザループからなることを特徴とする請求項8記載のスペクトル拡散通信装置。

40 【請求項12】上記同期追跡部は、変形遅延ロックループからなることを特徴とする請求項8記載のスペクトル拡散通信装置。

【請求項13】上記同期追跡部のループフィルタの前にA/D変換器を配置することを特徴とする請求項9ないし12の何れかに記載のスペクトル拡散通信装置。

【請求項14】上記同期捕捉部は、マッチトフィルタのみを備え、

上記データ復調部は、A/D変換器のみを備え、

上記マッチトフィルタの出力の直後に上記A/D変換器が配置され、上記マッチトフィルタの出力の直後のA/D変換器の出力をベースバンド処理部の出力とすることを特徴とする請求項1記載のスペクトル拡散通信装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、スペクトル拡散通信装置に関し、特に直接スペクトル拡散で受信したアナログスペクトル拡散信号をアナログ信号処理とデジタル信号処理の双方を用いて復調するスペクトル拡散通信装置に関する。

## 【0002】

【従来の技術】従来より、直接スペクトル拡散で受信したアナログスペクトル拡散信号をアナログ信号処理とデジタル信号処理の双方を用いて復調するスペクトル拡散通信装置が提案されている。

【0003】このようなスペクトル拡散受信装置として、例えば特開平7-115387号公報には、アナログスペクトル拡散信号を受信し、この受信アナログ信号をベースバンド処理の最初の段でデジタル信号に変換するA/D変換器を設け、以降のベースバンド処理部においてデジタル信号処理を行う技術が開示されている。

【0004】また、他のスペクトル拡散受信装置として、特開平9-83486号公報には、アナログ入力信号に対し、PN符号による重み付け加算を行い、加算結果をアナログ出力信号として出力する積和演算部を設け、この積和演算部のアナログ出力信号を間欠的に保持し、保持したアナログ信号のピークを検出し、検出したピーク値のタイミングを決定して、このピーク値のタイミングでのみ、A/D変換器で入力したアナログ信号のピーク値をデジタル化する技術が開示されている。

【0005】上記の特開平9-83486号公報に開示された技術によれば、A/D変換器の動作速度を最小限に抑えることができ、この結果、消費電力の低減を図ることができる。

## 【0006】

【発明が解決しようとする課題】しかしながら、上記特開平7-115387号公報に記載された技術では、同期捕捉のためには、高速で多くのサンプリングを行う必要があり、回路規模や消費電力が大きいの問題があった。

【0007】また、上記特開平9-83486号公報に記載された技術では、A/D変換器の動作速度を抑えることで、ベースバンド処理部における消費電力を小さくできるが、アナログ信号のピークを検出するための回路が複雑になる。このように、アナログ出力信号でピーク検出した値をA/D変換しているため、ピーク検出が複雑であるにも関わらずピーク値の検出精度が悪いという問題があった。したがって、アナログスペクトル拡散信号を精度良く復調することができないという問題が生じた。

【0008】本発明は、上記の各問題点を解決するためになされたもので、その目的は、ベースバンド処理部における回路規模や消費電力を小さくし、且つ受信信号の

受信精度を向上させるようなスペクトル拡散通信装置を提供することにある。

## 【0009】

【課題を解決するための手段】請求項1のスペクトル拡散通信装置は、上記の課題を解決するために、受信したアナログスペクトル拡散信号をベースバンド処理部でデジタル信号にして復調するスペクトル拡散通信装置において、上記ベースバンド処理部は、受信したアナログスペクトル拡散信号から同期捕捉を行う同期捕捉部と、該同期捕捉部による結果に基づいて受信したアナログスペクトル拡散信号の復調を行うデータ復調部とを備え、上記同期捕捉部は、受信したアナログスペクトル拡散信号のピーク位置を検出するためのマッチトフィルタを少なくとも有し、上記マッチトフィルタではアナログ処理が行われることを特徴としている。

【0010】一般に、ベースバンド処理部の処理をすべてデジタル処理した場合、電力の多くはマッチトフィルタで消費される。したがって、マッチトフィルタにおける処理をアナログ処理で行えば、ベースバンド処理部における消費電力を大幅に削減することができる。

【0011】したがって、上記の構成によれば、少なくとも、上記マッチトフィルタの処理はアナログ処理であることにより、ベースバンド処理部における消費電力を大幅に削減することができる。

【0012】しかも、アナログ処理を行うようにマッチトフィルタを設計した場合、マッチトフィルタの処理をデジタル処理する場合に比べて、回路規模を小さくすることができる。

【0013】請求項2のスペクトル拡散通信装置は、上記の課題を解決するために、請求項1の構成に加えて、同期捕捉部は、マッチトフィルタの出力側に、該マッチトフィルタにより検出された相関値のパワー値を求めるPower計算部と、Power計算部の出力の複数のピークの連続する複数周期の平均値を求めるための平均化処理部と、平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のバスを同定するバス同定部とを備え、上記マッチトフィルタの出力の直後にA/D変換器が配置されていることを特徴としている。

【0014】上記の構成によれば、請求項1の作用に加えて、同期捕捉部は、上記のマッチトフィルタの出力側に、該マッチトフィルタにより検出された複数のピークについて連続する複数周期のピークから平均値を求めるための平均化処理部と、平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のバスを同定するバス同定部とを備えていることで、アナログスペクトル拡散信号の複数周期のピークから該アナログスペクトル拡散信号のバスを同定することになり、結果としてアナログスペクトル拡散信号の受信精度を向上させることができる。

【0015】しかも、ベースバンド処理部の消費電力の

10

20

30

40

50

半分以上を占めるマッチトフィルタの後段にA/D変換器が配置されているので、該ベースバンド処理部の処理をすべてデジタル処理した場合の消費電力の数分の1にすることができる。

【0016】請求項3のスペクトル拡散通信装置は、上記の課題を解決するために、請求項1の構成に加えて、同期捕捉部は、マッチトフィルタの出力側に、該マッチトフィルタにより検出された相関値のパワー値を求めるPower計算部と、Power計算部の出力の複数のピークの連続する複数周期の平均値を求めるための平均化処理部と、平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のパスを同定するパス同定部とを備え、上記Power計算部の出力直後にA/D変換器が配置されていることを特徴としている。

【0017】上記の構成によれば、請求項1の作用に加えて、同期捕捉部は、上記のマッチトフィルタの出力側に、該マッチトフィルタにより検出された複数のピークについて連続する複数周期のピークから平均値を求めるための平均化処理部と、平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のパスを同定するパス同定部とを備えていることで、アナログスペクトル拡散信号の複数周期のピーク値から該アナログスペクトル拡散信号のパスを同定することになり、結果としてアナログスペクトル拡散信号の受信精度を向上させることができる。

【0018】しかも、Power計算部の出力直後にA/D変換器が接続されているので、処理信号にI信号成分とQ信号成分とがある場合、計算後は $I^2 + Q^2$ の1系統の値になるため、A/D変換器をPower計算部の前段に配置した場合に比べA/D変換器の消費電力は1/2となる。したがって、比較的消費電力が多いA/D変換器の消費電力を低減できるので、ベースバンド処理部の消費電力全体を低減することができる。

【0019】請求項4のスペクトル拡散通信装置は、上記の課題を解決するために、請求項1の構成に加えて、同期捕捉部は、マッチトフィルタの出力側に、該マッチトフィルタにより検出された相関値のパワー値を求めるPower計算部と、Power計算部の出力の複数のピークの連続する複数周期の平均値を求めるための平均化処理部と、平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のパスを同定するパス同定部とを備え、上記平均化処理部の出力の直後にA/D変換器が配置されていることを特徴としている。

【0020】上記の構成によれば、請求項1の作用に加えて、同期捕捉部は、上記のマッチトフィルタの出力側に、該マッチトフィルタにより検出された連続する複数周期のピーク値から平均値を求めるための平均化処理部と、平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のパスを同定するパス同定部とを備えていることで、アナログスペクトル拡散信号の複数

周期のピーク値から該アナログスペクトル拡散信号のパスを同定することになり、結果としてアナログスペクトル拡散信号の受信精度を向上させることができる。

【0021】しかも、平均化処理部の出力の直後にA/D変換器が接続されているので、該平均化処理部で平均化処理を行っている間、A/D変換器の動作を停止させることができる。例えば、平均化処理部での平均化の回数が4回の場合には、A/D変換器を平均化処理部の前段に配置した場合に比べて消費電力は1/4となる。

10 【0022】したがって、比較的消費電力の多いA/D変換器の消費電力を低減できるので、ベースバンド処理部の消費電力全体を低減することができる。

【0023】請求項5のスペクトル拡散通信装置は、上記の課題を解決するために、請求項1ないし4の何れかの構成に加えて、データ復調部は、拡散コードを生成するための拡散コード生成器と、生成された拡散コードに基づいて、受信したアナログスペクトル拡散信号を逆拡散する逆拡散部とを備え、上記逆拡散部の出力側にA/D変換器が配置されていることを特徴としている。

20 【0024】一般に、逆拡散部をデジタル化した場合、同期位置を微調整する必要があるため、高速で多くのサンプリングを行うために、逆拡散部の前段に配置されるA/D変換器の動作速度を非常に速く( $4fc \sim 10fc$ )しなければならないが、上記のように逆拡散部がアナログ処理されていれば、逆拡散部の後段に設けられたA/D変換器の動作速度を上記のように速くする必要がなく、PN符号の周期分の1に遅くなる。周期が256タップの場合、256分の1( $fc/256$ )に遅くなる。なお、上記 $fc$ は、A/D変換器の速度を示す。

30 【0025】したがって、A/D変換器の動作速度を遅くできる分だけ消費電力の低減が図れる。

【0026】請求項6のスペクトル拡散通信装置は、上記の課題を解決するために、請求項1ないし4の何れかの構成に加えて、データ復調部は、拡散コードを生成するための拡散コード生成器と、生成された拡散コードに基づいて、受信したアナログスペクトル拡散信号を逆拡散する逆拡散部と、逆拡散された複数の信号を合成するためのRake合成器とを備え、上記逆拡散部とRake合成器との間にA/D変換器が配置されていることを特徴としている。

40 【0027】一般に、逆拡散部をデジタル化した場合、同期位置を微調整する必要があるため、高速で多くのサンプリングを行うために、逆拡散部の前段に配置されるA/D変換器の動作速度を非常に速く( $4fc \sim 10fc$ )しなければならないが、上記のように逆拡散部がアナログ処理されていれば、逆拡散部の後段に設けられたA/D変換器の動作速度を上記のように速くする必要がなく、PN符号の周期分の1に遅くなる。周期が256タップの場合、256分の1( $fc/256$ )に遅くなる。

【0028】したがって、A/D変換器の動作速度を遅くできる分だけ消費電力の低減が図れる。さらに、マルチパスをRake合成器により合成しているため、S/N比を向上させることができる。

【0029】請求項7のスペクトル拡散通信装置は、上記の課題を解決するために、請求項1ないし4の何れかの構成に加えて、データ復調部は、拡散コードを生成するための拡散コード生成器と、生成された拡散コードに基づいて、受信したアナログスペクトル拡散信号を逆拡散する逆拡散部と、逆拡散された複数の信号を合成するためのRake合成器とを備え、上記Rake合成器の出力側にA/D変換器が配置されていることを特徴としている。

【0030】上記の構成によれば、請求項1ないし3の何れかの構成に加えて、データ復調部においてほとんどの部分でアナログ信号処理になっているので、全ての部分でデジタル信号処理を行うようにした場合よりも消費電力を抑えることができる。

【0031】しかも、データ復調部の処理をすべてデジタル処理で行った場合に比べて、回路の面積、消費電力を小さくすることができる。さらに、マルチパスをRake合成器により合成しているため、S/N比を向上させることができる。

【0032】請求項8のスペクトル拡散通信装置は、上記の課題を解決するために、請求項5ないし7の何れかの構成に加えて、データ復調部は、さらに、上記同期捕捉部による捕捉結果に基づいて、上記拡散コード生成器を制御する同期追跡部を備えていることを特徴としている。

【0033】上記の構成によれば、請求項5ないし7の何れかの構成に加えて、同期追跡部を設けることにより、同期捕捉部において同定した複数のパスのピーク位置の同期位置を常に監視することができる。これにより、逆拡散部において逆拡散処理に必要な拡散コードの生成のタイミングを微調整することができ、各パス毎に正しく拡散コードを生成することが可能になり、受信精度の向上が図れる。

【0034】上記同期追跡部の具体的例としては、請求項9ないし12に記載のものが考えられる。

【0035】請求項9のスペクトル拡散通信装置は、上記の課題を解決するために、請求項8の構成に加えて、同期追跡部は、遅延ロックループからなることを特徴としている。

【0036】請求項10のスペクトル拡散通信装置は、上記の課題を解決するために、請求項8の構成に加えて、同期追跡部は、タウディザループからなることを特徴としている。

【0037】請求項11のスペクトル拡散通信装置は、上記の課題を解決するために、請求項8の構成に加えて、同期追跡部は、ダブルディザループからなることを

特徴としている。

【0038】請求項12のスペクトル拡散通信装置は、上記の課題を解決するために、請求項8の構成に加えて、同期追跡部は、変形遅延ロックループからなることを特徴としている。

【0039】請求項13のスペクトル拡散通信装置は、上記の課題を解決するために、請求項9ないし12の何れかの構成に加えて、同期追跡部のループフィルタの前にA/D変換器が配置されると共に、該A/D変換器の前に、アナログ信号の積分処理を行う積分器または帯域フィルタが設けられていることを特徴としている。

【0040】上記の構成によれば、同期追跡部のループフィルタの直前にA/D変換器を配置した場合、拡散コード生成器からの拡散コードであるE-codeと乗算する入力信号、L-codeと乗算する入力信号をA/D変換する必要がなく、E-codeと入力信号の乗算結果と、L-codeと入力信号の乗算結果との差を計算した後の値に対してA/D変換器を行えば良いので、配置するA/D変換器は1個で済む。

【0041】そして、A/D変換器の前にアナログ信号の積分処理を行う積分器または帯域フィルタ(BPF)が設けられていることで、A/D変換される入力信号は、積分器によって積分された後の信号またはフィルタ処理された後の信号となる。

【0042】この場合、A/D変換器の速度 $f_c$ が、PN符号の周期が256タップの場合、256分の1に遅くなる( $f_c/256$ )。

【0043】具体的には、同期追跡部の前段でA/D変換する場合、A/D変換器の動作速度は $f_c$ (チップレート)の4倍~10倍の $4f_c \sim 10f_c$ となり、同期追跡部の後段でA/D変換する場合、A/D変換器の速度がPN符号の周期分の1に遅くなる(周期を256タップとすると $f_c/256$ )。

【0044】これにより、A/D変換器の前に積分器を設けない場合では、 $4f_c \sim 10f_c$ の動作速度のA/D変換器が必要となっているが、上述のように積分器を設けることにより、A/D変換器の速度がPN符号の周期分の1で済み、回路構成が簡略化されると共に、ベースバンド処理部における消費電力を低減することができる。

【0045】請求項14のスペクトル拡散通信装置は、上記の課題を解決するために、請求項1の構成に加えて、同期捕捉部は、マッチフィルタのみを備え、データ復調部は、A/D変換器のみを備え、上記マッチフィルタの出力の直後に上記A/D変換器が配置され、上記マッチフィルタの出力の直後のA/D変換器の出力をベースバンド処理部の出力とすることを特徴としている。

【0046】上記構成のベースバンド処理部では、必要最小限の構成要素を有しているだけなので、回路規模を

非常に小さくできると共に、消費電力を大幅に削減できる。

【0047】しかも、ベースバンド処理部の消費出力の半分以上を占めるマッチフィルタの後段にA/D変換器が配置されているので、該ベースバンド処理部の処理をすべてデジタル処理した場合の消費電力の数分の1にすることができる。

【0048】また、アナログマッチフィルタにより逆拡散された後のマッチフィルタの相関値をA/D変換しているため、A/D変換の動作速度は、PN符号の周期分の1でよく、A/D変換器の消費電力の低減も図れる。

【0049】

【発明の実施の形態】本発明の実施の形態について、図1ないし46を参照しながら以下に説明する。なお、以下に示す各実施の形態では、スペクトル拡散通信装置の受信側について主に説明する。

【0050】〔実施の形態1〕本実施の形態に係るスペクトル拡散通信装置は、図2に示すように、アナログスペクトル拡散信号を受信するための受信部100と、受信部100にて受信されたアナログスペクトル拡散信号をデジタル化して復調するベースバンド処理部200と、ベースバンド処理部200からのデジタル信号を音声、画像、文字等のデータに変換処理する情報復調部300とで構成されている。

【0051】すなわち、上記スペクトル拡散通信装置の受信側では、受信部100にて受信したアナログスペクトル拡散信号をベースバンド処理部200で復調してデジタル信号に変換して、該デジタル信号を後段の音声や画像の復号化処理部等の情報復調部300に出力するようになっている。

【0052】上記受信部100は、図3に示すように、アンテナから直列に、デュプレクサ101、増幅器(LNA)102、帯域フィルタ(BPF)103、周波数変換器104、帯域フィルタ(BPF)105、AGC増幅器106、直交検波器107が接続された構成となっている。

【0053】すなわち、受信部100において、アンテナで受信した信号は、デュプレクサ101で受信信号と送信信号とに周波数軸上で分離される。そして、上記デュプレクサ101により分離された受信信号は、RF(Radio Frequency)段の増幅器102で増幅された後、広帯域の帯域フィルタ103によりフィルタ処理される。フィルタ処理された受信信号は、さらに、IF(Intermediate Frequency)段の周波数変換器104によって中間周波数に変換された後、広帯域の帯域フィルタ105により受信周波数チャネルのみ抜き出される。この帯域フィルタ105から出力される信号のレベルが、AGC増幅器106で希望受信波に相当する信号レベルまで増幅され一定となった後、直交検波器107でベースバンド

信号であるI信号成分とQ信号成分とに分離され、アナログスペクトル拡散信号(I(A), Q(A))として次段のベースバンド処理部200に出力される。

【0054】上記ベースバンド処理部200は、上述した受信部100からのアナログスペクトル拡散信号(I(A), Q(A))をデジタル化して復調してデジタル信号(I(D), Q(D))として次段の情報復調部300に出力するようになっている。

【0055】なお、ベースバンド処理部200の詳細については、後述する。

【0056】上記情報復調部300は、図4に示すように、入力側から順に、マルチプレクサ301、P/S変換器302、デインタリーバ303、ビタビ復号器304、フレーム分離器305、CRC判定器306、データ処理部307が接続されている。

【0057】すなわち、情報復調部300において、ベースバンド処理部200から出力された復調データであるデジタル信号(I(D), Q(D))は、マルチプレクサ301とP/S変換器302とによって、I信号成分とQ信号成分とが順に、パラレルシリアル変換された後、フレーム分離器305でフレーム長に分離される。フレーム長に分離された受信データは、CRC判定器306によってCRCチェックされ、フレームデータ毎に誤り補正される。この誤り補正されたデータは、データ処理部(DSP)307に出力される。このデータ処理部307には、音声処理を行う音声処理DSP、画像処理を行う画像処理DSP、文字処理を行う文字処理DSP、音声、画像及び文字以外のデータ処理を行うデータ処理DSPがある。

【0058】ここで、上記情報復調部300内における各種処理がデジタル処理されているので、該情報復調部300に入力される信号はデジタル信号である必要がある。すなわち、情報復調部300の前段を構成するベースバンド処理部200からの出力信号はデジタル信号である必要がある。一方、ベースバンド処理部200に入力される信号は、上記したようにアナログスペクトル拡散信号である。したがって、ベースバンド処理部200内には、アナログ信号をデジタル化するために、少なくとも一つのA/D変換器を設ける必要がある。

【0059】上記ベースバンド処理部200は、図1に示すように、入力信号と拡散符号(PN符号)との間の初期同期を行う同期捕捉部201と、同期捕捉部201により同定されたPN符号の同期位置に基づいて逆拡散、復調を行うデータ復調部202とで構成されている。また、受信部100からのアナログスペクトル拡散信号(I(A), Q(A))は、同期捕捉部201に入力される一方、データ復調部202に入力される。

【0060】上記データ復調部202は、アナログスペクトル拡散信号に対して逆拡散、復調を行う複数の復調回路203…と、各復調回路203からの復調信号を合



成するRake合成器204と、Rake合成器204からのアナログ信号をデジタル信号に変換するA/D変換器205とで構成されている。

【0061】すなわち、上記データ復調部202において、アナログスペクトル拡散信号は、それぞれの復調回路203に入力され、同期捕捉部201から出力されるPN符号の同期位置情報に基づいて逆拡散された後、復調される。それぞれの復調回路203から出力された復調後のアナログスペクトル拡散信号(I(A)、Q

(A))は、Rake合成器204に入力され、同期位置を合わせて合成される。合成後のアナログスペクトル拡散信号(I(A)、Q(A))は、それぞれの信号成分毎にA/D変換器205にてA/D変換されデジタルのアナログスペクトル拡散信号(I(D)、Q(D))として出力される。

【0062】本実施の形態では、A/D変換器205をベースバンド処理部200のデータ復調部202におけるRake合成器204の出力側に設けた例について説明する。このため、ベースバンド処理部200内では、基本的にアナログ信号処理が行われているものとする。

【0063】但し、上記のA/D変換器205の配設位置は、ベースバンド処理部200内であれば特に限定されず、種々の場合が考えられる。このように、A/D変換器205の配設位置が異なる場合には、A/D変換器205以降に接続されている各処理部においては、デジタル信号処理となる。また、このA/D変換器205の配設位置の違いによるスペクトル拡散通信装置における作用・効果の相違については後述する。

【0064】ここで、上記ベースバンド処理部200について詳細に説明する。なお、図1では、アナログスペクトル拡散信号をI信号成分とQ信号成分とに分けているので、2本の信号線を記載しているが、I信号成分とQ信号成分とに対する信号の処理は同じであるので、以下の説明においては、図に示す信号線をI信号成分あるいはQ信号成分の何れにも特定せずに1本としている。

【0065】始めに、ベースバンド処理部200を構成する同期捕捉部201について説明する。

【0066】上記同期捕捉部201は、上述したように、アナログスペクトル拡散信号からPN符号の同期位置を捕捉する回路であり、図5に示すように、マッチフィルタ211、Power計算部212、平均化処理部213、パス同定部214を備えている。

【0067】上記マッチフィルタ211は、図6に示すように、多段の遅延素子218を用いて、アナログスペクトル拡散信号の初期の引き込み動作を行うものである。

【0068】一つの遅延素子218の遅延量は、PN符号の1チップの時間長 $T_c$ に等しい。遅延素子218の例としては、シフトレジスタがある。 $n$ をPN符号の1周期のビット数とし、レジスタ値に掛ける係数 $A_n$ 、 $A$

$n-1, \dots, A_1$ はPN符号のパターンと同じにする。従って、上記マッチフィルタ211では、レジスタ値と係数を掛けた値を合計することによってマッチフィルタ出力を得ようになっている。

【0069】こうして、マッチフィルタ211にアナログスペクトル拡散信号が入力すると、マルチパスがなくパスが1個である状態では、PN符号の周期 $T$ で該アナログスペクトル拡散信号のピークが現れる。このピークを出している時点がアナログスペクトル拡散信号とPN符号との初期の同期位置を示すことになる。

【0070】上記マッチフィルタ211において示されたピーク位置は、PN符号とアナログスペクトル拡散信号の同期位置を示している。ところで、通常、送信されるアナログスペクトル拡散信号は直接受信アンテナに到達するものと、建物等に反射して受信アンテナに到達するもの、いわゆるマルチパスがあるので、マッチフィルタ211においては複数のピーク位置が存在することになる。

【0071】例えば、パスが7つの場合、最大ピーク(P1)、2番目のピーク(P2)、3番目のピーク(P3)、4番目のピーク(P4)、5番目のピーク(P5)、6番目のピーク(P6)、7番目のピーク(P7)が得られ、これら各ピークの値を求めてそれぞれ比較をする必要がある。

【0072】上記のピーク値P1、P2、P3、P4、P5、P6、P7を含むマッチフィルタ出力値の2乗値を求める部分がPower計算部212である。このPower計算部212については、後述する。出力値の2乗計算は、アナログ処理で実現する場合には乗算回路を用いる。

【0073】ここで、上記マッチフィルタ211をアナログ回路で実現した具体例について以下に説明する。このアナログ回路で実現したマッチフィルタをアナログマッチフィルタと称する。

【0074】上記のアナログマッチフィルタとしては、弊社出願済の特願平9-80922号および特願平10-27636号に記載のものがある。

【0075】特願平9-80922号に記載したアナログマッチフィルタは、図7に示すように、アナログ入力信号 $V_{in}$ (アナログスペクトル拡散信号)をサンプリングして所定の期間ホールドするサンプルホールド回路10...を備えている。各サンプルホールド回路10は、互いに並列に接続されており、アナログ入力信号 $V_{in}$ をサンプリングして、所定期間ホールドするだけでなく、リフレッシュも可能なように形成されている。

【0076】さらに、上記アナログマッチフィルタは、各サンプルホールド回路10の出力のうち、相関演算を行う際に加算する出力全てが入力される加算系加算回路7と、減算する出力全てが入力される減算系加算回路8と、両加算回路7・8の出力を減算して、相関出力

2として出力する減算回路9とを備えている。

【0077】また、上記マッチトフィルタは、各サンプルホールド回路10に対応して、当該サンプルホールド回路10に、リフレッシュ動作、サンプル動作、およびホールド動作を順次指示するサンプルホールド制御ユニット1と、当該サンプルホールド回路10の出力Sと上記加算系加算回路7との間に、それぞれ設けられた加算系積演算マルチプレクサ5と、上記出力Sと上記減算系加算回路8との間に、それぞれ設けられた減算系積演算マルチプレクサ6と、各マルチプレクサ5・6を制御するマルチプレクサ制御ユニット14とを備えている。

【0078】図7に示すように、上記各マルチプレクサ5・6は、2入力のマルチプレクサであり、一方の入力は、サンプルホールド回路10の出力Sに接続されており、他方の入力には、所定の基準電圧 $V_{ref}$ が印加されている。なお、基準電圧 $V_{ref}$ は、各加算回路7・8の動作基準電圧と同一の値に設定されているので、各マルチプレクサ5・6が基準電圧 $V_{ref}$ 側を選択した場合、当該マルチプレクサ5・6の出力は、相関演算結果に影響を与えなくなる。

【0079】上記各サンプルホールド制御ユニット1、および、各マルチプレクサ制御ユニット14は、それぞれ互いに縦続接続されており、さらに、最後段の両制御ユニット1・14の出力は、最前段の両制御ユニット1・14の入力にそれぞれ接続されている。これにより、ある段における両制御ユニット1・14の内部状態は、入力クロックCLKの1周期 $T_c$ 毎に、右シフトして巡回する。この結果、ある段におけるサンプルホールド回路10および各マルチプレクサ5・6に対する制御は、周期 $T_c$ 毎に次段へと受け継がれていく。また、サンプルホールド回路10が $(m+n+3)$ 段設けられているので、ある段のみに注目した場合、当該段のサンプルホールド回路10および各マルチプレクサ5・6は、 $(m+n+3) \cdot T_c$ の周期で、同じ動作を繰り返す。

【0080】上記各マルチプレクサ制御ユニット14は、入力クロックCLKの現サイクルにおいて、当該段のサンプルホールド回路10の出力Sに対応する相関フィルタ係数 $p$ を格納するDフリップフロップ2aと、上記出力Sが相関演算に寄与するか否かを示す出力抑制レジスタ値を格納するDフリップフロップ3aと、両フリップフロップ2a・3aの出力に基づいて、各マルチプレクサ5・6の制御信号を生成するマルチプレクサ制御回路4とを備えている。

【0081】各マルチプレクサ制御ユニット14間では、ある段のDフリップフロップ2aの出力は、次段のDフリップフロップ2aの入力に接続され、かつ、最後段のDフリップフロップ2aの出力は、最前段のDフリップフロップ2aの入力に接続されている。これらのDフリップフロップ2a…により、長さが $(m+n+3)$ 段で、入力クロックCLK毎に、内容が巡回する相関フ

ィルタ係数レジスタ2が形成される。また、同様に接続されたDフリップフロップ3a…により、サンプルホールド出力抑制レジスタ3が形成される。

【0082】ある段のマルチプレクサ制御回路4は、当該段のサンプルホールド出力抑制レジスタ3の出力RRQiが「0」の場合、当該段の相関フィルタ係数レジスタ2の出力MCQiに拘わらず、両マルチプレクサ5・6に基準電圧 $V_{ref}$ を選択させる。

【0083】これにより、当該段の出力Sは、相関演算演算結果に影響を与えなくなる。これに対して、上記出力RRQiが「1」の場合、マルチプレクサ制御回路4は、上記出力MCQiに基づいて、出力Sあるいは基準電圧 $V_{ref}$ のうちの一方を両マルチプレクサ5・6に選択させる。

【0084】この結果、サンプルホールド回路10の出力Sは、当該段の相関フィルタ係数レジスタ2の内容に基づいて、加算系加算回路7と減算系加算回路8とに振り分けられる。

【0085】相関フィルタ係数レジスタ2のうち、連続する $t$ 個の段には、相関フィルタ係数系列 $P(t)$ が格納される。また、サンプルホールド出力抑制レジスタ3のうち、上記 $t$ 個の段と同じ段には、「1」が格納され、残余の段には、「0」が格納される。これにより、相関フィルタ係数系列 $P(t)$ の周期 $t$ が最大タップ数 $m$ に満たない場合、相関演算に寄与する $t$ 段のサンプルホールド回路10のみを用いて、正確に相関演算できる。

【0086】一方、上記 $(m+n+3)$ 段のサンプルホールド制御ユニット1により構成されたサンプルホールド制御レジスタ12のうち、連続する $(n+3)$ 個の段には、「1」が格納されており、残余の $m$ 個の段には、「0」が格納されている。

【0087】したがって、 $i$ 段目のサンプルホールド制御ユニット1の出力Qiは、 $(m+n+3) \cdot T_c$ の周期で変動し、 $m \cdot T_c$ の間「0」となり、 $(n+3) \cdot T_c$ の間「1」となる。

【0088】各段のサンプルホールド制御ユニット1は、当該段の出力Qiなどに基づいて、対応するサンプルホールド回路10へ、 $(n+3) \cdot T_c$ の期間、リフレッシュおよびサンプルを指示し、 $m \cdot T_c$ の期間ホールドを指示する。

【0089】したがって、ある時点のアナログ入力信号Vinは、 $m \cdot T_c$ の期間、同じサンプルホールド回路10に捕捉され、新しい入力クロックCLKが入る毎に、1つずつ位置のずれた相関フィルタ係数系列 $P$

( $t$ )との相関演算が行われる。ただし、相関フィルタ係数系列 $P(t)$ の周期 $t$ が、最大タップ数 $m$ に満たない場合、 $(m-t)$ 段のサンプルホールド回路10の出力は、サンプルホールド出力抑制レジスタ3によって、相関演算に寄与しないように制御される。

【0090】このように、上記構成のアナログマッチトフィルタは、相関演算の最大タップ数よりも多くのサンプルホールド回路10が、並列に設けられており、最大タップ数よりも多い部分でリフレッシュを行い、オフセット電圧を補償する低消費電力で駆動される。

【0091】また、特願平10-27636号に記載されたアナログマッチトフィルタは、図8に示すように、アナログ入力信号 $V_{in}$ （アナログスペクトル拡散信号）の入カロックCLK毎のサンプル値を出力するサンプルホールド部22と、後述する相関フィルタ係数レジスタ26に記憶される相関フィルタ係数列Pに基づいて、上記サンプルホールド部22の出力を加算するか減算するかを選択する選択部23と、当該選択部23の出力を加算するために、容量結合型の差動入力差動出力の加算回路24とを備えている。これにより、マッチトフィルタ21は、入カロックCLK毎に、アナログ入力信号 $V_{in}$ と相関フィルタ係数列Pとの相関値を計算し、相関出力 $V_{out}$ として出力できる。

【0092】上記サンプルホールド部22には、各サンプルホールド回路SH1～SHNが互いに並列に設けられており、各サンプルホールド回路SH1～SHNは、サンプルホールド制御回路25の指示に応じて、アナログ入力信号 $V_{in}$ をサンプルし、少なくとも相関フィルタ係数列Pが一巡する間、すなわち、少なくともm個の入カロックCLKが印加されるまでの間、それぞれのサンプル値を保持する。なお、以下では、複数設けられた部材において、位置を区別しない場合、あるいは、総称する場合は、例えば、サンプルホールド回路SHのように、位置を示す添字を省略して参照する。

【0093】上記サンプルホールド回路SHの数Nは、相関フィルタ係数列Pの系列長m以上に設定されており、上記サンプルホールド制御回路25は、入カロックCLK毎に、次の相関値を演算する際に使用するサンプル値を保持していないサンプルホールド回路SHに、アナログ入力信号 $V_{in}$ のサンプリングを指示する。

【0094】一例として、サンプルホールド回路SHの数Nは、10～512個程度と、スペクトラム拡散に使用される相関フィルタ係数列Pの系列長mと同じか、系列長mに数個加えた数に設定される。また、本実施の形態では、サンプルホールド制御回路25は、各サンプルホールド回路SHへの指示を入カロックCLK毎に1段階ずつ巡回させることによって、各サンプルホールド回路SHへ、サンプリングやホールドを指示している。

【0095】これにより、サンプルホールド部22は、常に、少なくともm個のサンプリング値を保持して出力できる。ここで、上記構成では、各サンプルホールド回路SHのサンプリング周期は、入カロックCLK相関フィルタ係数列Pが一巡する時間以上になるので、各サンプルホールド回路SHを縦続に接続する場合に比べて、消費電力を削減すると共に、演算精度を向上でき

る。

【0096】また、選択部23は、上記各サンプルホールド回路SHに対応して設けられたマルチプレクサ対M1～MNと、相関フィルタ係数列Pを格納する相関フィルタ係数レジスタ26と、相関フィルタ係数レジスタ（図示せず）の指示に応じて、各マルチプレクサ対Mを制御するマルチプレクサ制御回路MC1～MCNとを備えている。

【0097】上記相関フィルタ係数レジスタ26は、例えば、各サンプルホールド回路SH1～SHNに対応するレジスタ（図示せず）からなるシフトレジスタであり、入カロックCLK毎に各レジスタの値を一段ずつ巡回させる。これにより、入カロックCLKの現サイクルにおいて、各サンプルホールド回路SHと、相関フィルタ係数列Pとの対応を示す制御信号 $V_{p1} \sim V_{pN}$ を、各マルチプレクサ制御回路MC1～MCNへ出力できる。

【0098】また、上記各マルチプレクサ対Mは、2入力のマルチプレクサM+、M-により構成されている。上記各マルチプレクサM+、M-は、上記各マルチプレクサ制御回路MCの指示に基づいて、対応するサンプルホールド回路SHの出力信号 $V_s$ と、基準電圧 $V_{ref}$ とのうちの一方を選択して出力できる。

【0099】例えば、現サイクルにおいて、相関フィルタ係数列Pのうち、サンプルホールド回路SH1に対応する係数pの値が、例えば、“1”など、出力信号 $V_{s1}$ の加算を指示している値の場合、マルチプレクサM+は、サンプルホールド回路SH1の出力信号 $V_{s1}$ を出力し、マルチプレクサM-は、基準電圧 $V_{ref}$ を出力する。一方、対応する係数pの値が、例えば、“0”など、出力信号 $V_{s1}$ の減算を指示している場合、マルチプレクサ制御回路MC1は、マルチプレクサM+に基準電圧 $V_{ref}$ を出力させると共に、マルチプレクサM-に出力信号 $V_{s1}$ を選択させる。

【0100】なお、サンプルホールド回路SHの個数Nが、相関フィルタ係数列Pの系列長mよりも長い場合には、各サンプルホールド回路SHにおいて、対応する係数pが存在しない期間が生じる。この期間中は、両マルチプレクサM+・M-は、マルチプレクサ制御回路MCの指示に基づいて、基準電圧 $V_{ref}$ を出力する。ここで、当該期間中は、サンプルホールド回路SHの出力信号 $V_s$ は、マルチプレクサ対Mより後へ伝えられない。したがって、この期間中に、サンプルホールド回路SHのリフレッシュやサンプリングなど、出力信号 $V_s$ が不安定になる動作を行えば、相関値に影響を与えることなく、リフレッシュやサンプリングなどを行うことができる。

【0101】一方、本実施の形態に係る加算回路24は、差動入力差動出力のアンプ27を備えている。当該アンプ27の反転入力端子と非反転出力端子との間に

は、帰還キャパシタ $C_{f-}$ が設けられており、非反転入力端子と反転出力端子とは、帰還キャパシタ $C_{f+}$ を介して接続されている。さらに、減算系の各マルチプレクサ $M-$ と上記アンプ27の反転入力端子との間には、入力キャパシタ $C_{i-1} \sim C_{i-N}$ が、それぞれ設けられており、加算系の各マルチプレクサ $M+$ の出力は、それぞれに対応する入力キャパシタ $C_{i+1} \sim C_{i+N}$ を介して、上記アンプ27の非反転入力端子へ印加される。

【0102】上記のアナログマッチトフィルタ21によれば、差動入力差動出力の加算器を用いることにより、符号反転回路を不要にしている。この結果、回路規模と消費電力とが小さく、高速動作が可能なマッチトフィルタを実現している。

【0103】一般に、ベースバンド処理部における電力消費の割合は、約60%がマッチトフィルタが占めている。このため、マッチトフィルタをアナログ回路で実現すれば、マッチトフィルタを電力消費が多くなるデジタル回路で実現した場合に比べて大幅に電力を削減できることが分かる。

【0104】したがって、上述のように、本願発明のスペクトル拡散通信装置では、少なくともベースバンド処理部のマッチトフィルタをアナログ回路で実現するようにしている。

【0105】また、上記Power計算部212は、上述したマッチトフィルタ211の出力値（ピーク値）の2乗値を求めて、入力されるアナログスペクトル拡散信号のパワー値を求めるところである。また、マッチトフィルタ211にて処理される処理信号にI信号成分とQ信号成分とがある場合、Power計算部212では、I信号成分およびQ信号成分のピーク値から $I^2 + Q^2$ を求めて、入力されるアナログスペクトル拡散信号のパワー値を求めようになっている。

【0106】マッチトフィルタ211からの出力値の2乗値をアナログ処理で求める場合、Power計算部212の具体的な回路としては、乗算回路、または、特開平9-97299号公報に開示されている比較回路および加算回路が適用できる。

【0107】特に、マッチトフィルタ211にて処理されるアナログ信号にI信号成分とQ信号成分とがある場合、Power計算部212の具体的な回路は、上述の特開平9-97299号公報に開示されている信号処理回路が好適に使用される。

【0108】上記Power計算部212は、図9に示すように、一対のインバータ回路INV11、INV12にI信号成分、Q信号成分が入力される構成となっている。

【0109】上記INV11の入力には、入力容量C11が接続され、I信号成分がこの入力容量C11を介してINV11に入力されている。INV11の出力 $V_{o11}$ は、帰還容量C12を介してその入力に接続されて

いる。

【0110】一方、上記INV12の入力には、入力容量C13が接続され、Q信号成分がこの入力容量C13を介してINV12に入力されている。INV12の出力 $V_{o12}$ は、帰還容量C14を介してその入力に接続されている。

【0111】そして、I信号成分、Q信号成分、出力 $V_{o11}$ 、出力 $V_{o12}$ は、MAX1に入力される。I信号成分と出力 $V_{o11}$ とは、MAX2に入力される。Q信号成分と出力 $V_{o12}$ とは、MAX3に入力される。さらに、MAX2とMAX3の出力は、MINに入力される。

【0112】MAX1およびMINの出力は、容量結合CP1の容量C15、16に入力されている。CP1の出力は、インバータ回路INV13に入力されている。INV13は、INV11と同様に構成されており、その出力は帰還容量C17を介してその入力に接続されている。

【0113】さらに、INV13の出力には、容量C18を介してインバータ回路INV14が接続され、その出力は帰還容量C19を介してその入力に接続されている。

【0114】上記構成のPower計算部212においては、I信号成分とQ信号成分の2つの入力、一つの信号Magとなって出力されるようになっている。このMagをあるバスのパワー値とする。

【0115】このように、上記マッチトフィルタ211およびPower計算部212によって各バスのピーク値を求めることができる。しかしながら、アナログスペクトル拡散信号にはノイズが含まれているため、PN符号の周期Tに対して数倍（例えば3～10倍）の時間の間のピークを見つけるのが望ましい。この時間の間のピークをPN符号の周期Tで同期加算平均することにより、ノイズを軽減でき、信頼度の高い同期位置を示すピークを探すことができる。

【0116】この数周期分のマッチトフィルタ出力のピーク値を加算平均する部分が平均化処理部213である。上記のマッチトフィルタ出力は、Power計算部212によりパワー値を求めたものである。

【0117】ここで、上記平均化処理部213における平均化処理について図10を参照しながら以下に説明する。なお、1周期当たりのピーク数は7、周期数は4、1周期は256タップとする。

【0118】平均化処理部213は、周期毎のかたまり（この場合256タップの値）毎に加えていき、周期回数で割って0～256タップ時間の各々のピーク位置での振幅（あるいはパワー値）の平均値を求める。

【0119】つまり、図10(a)に示すように、各周期におけるピークがそれぞれ $a_i \sim h_i$  ( $i=1, 2, 3, 4$ )の7つの振幅（あるいはパワー値）を有してい

る場合、図10(b)に示すように、各周期における各々のピーク位置での振幅(あるいはパワー値)の平均値を求める。

【0120】上記平均化処理部213をアナログ処理で実現する場合には、図11に示すように、Power計算部212からのパワー値をそれぞれのピーク毎に分離するデマルチプレクサ(DE-MUX)221と、デマルチプレクサ221からの各出力に対して、PN符号の周期Tの数周期分の積分を行うn個の積分器(積分回路)222と、上記のそれぞれの積分器222で得られた値を一つにまとめるマルチプレクサ(MUX)223と、マルチプレクサ223からの出力の平均化を行う可変抵抗器224とを用いる。

【0121】上記構成の平均化処理部213によれば、1チップの時間長Tc毎に出力されるマッチトフィルタ211の出力(Power計算部212でパワー値を求めた出力)をデマルチプレクサ221によりn個の積分器222に振り分けて行く。すなわち、上記の各々の積分器222には、PN符号の周期Tに1回、マッチトフィルタ211の出力が入力されることになる。この操作を3~10(3周期~10周期)繰り返し、各々の積分器222に3~10周期分のマッチトフィルタ出力をマルチプレクサ223にて加算させた後、可変抵抗器224により分割(割り算)をしてこの値をピーク値の平均値として出力する。

【0122】以上のように、マッチトフィルタ211、Power計算部212、平均化処理部213を経て得られた平均化されたピーク値は、バス同定部214に出力される。このバス同定部214は、入力されたピーク値から同期位置を示すバスがどれであるかを決定する部分である。

【0123】上記バス同定部214をアナログ処理で実現する場合、例えば、図12に示すような回路が考えられる。ここで、バス同定部214には平均化処理部213からの平均化されたピーク値が入力されることになっているが、このピーク値は各バスにおける平均化されたパワー値であるので、以下の説明においてピーク値をパワー値に置き換えて説明する。

【0124】図12に示すバス同定部214は、入力されるパワー値と予め設定された値(閾値TH)とを比較するコンパレータ231と、最大m個のPN符号位相差レジスタn232(n=1, ..., m)と、それぞれのPN符号位相差レジスタn232に対応するパワー値をストアするPower情報レジスタn233(n=1, ..., m)と、パワー値の最大から例えば7番目までを求め、7番目までのバスの位相情報とパワー値とを同定するソーティング回路234と、ソーティング回路234によって同定された位相情報とパワー値とをストアする7個のPN符号位相差レジスタR235(R=A, B, ..., G)および7個のPower情報レジスタR236

(R=A, B, ..., G)とを備えている。

【0125】すなわち、上記構成のバス同定部214では、コンパレータ231にパワー値と閾値THとが入力され、このコンパレータ231によってバス決定の候補となる値がm個以下になるように閾値処理が行われる。コンパレータ231によるパワー値の閾値処理が終了すると、m組のPN符号位相差レジスタn232(n=1, ..., m)と、m組のPower情報レジスタn233(n=1, ..., m)とに、マルチバスの候補のパワー値の位相差とパワー値がそれぞれストアされる。

【0126】次に、ソーティング回路234により、最大パワー値から例えば7番目までのパワー値を求め、7番目までのバスの位相差情報とパワー値とを同定し、これらの値を7個のPN符号位相差レジスタR235(R=A, B, ..., G)および7個のPower情報レジスタR236(R=A, B, ..., G)とにそれぞれストアした後、データ復調部202に出力される。

【0127】上記のソーティング回路234をアナログ信号処理で実現させる例としては、例えばWTA(Winner Take All Circuit)回路が考えられる。

【0128】上記WTA回路は、複数のチャネルのアナログ入力信号に対して、その最大値または最小値をアナログで検出する回路である。すなわち、WTA回路では、m個求められたパワー値が入力されると、最大値から7番目のパワー値が決まるまで該WTA回路が作動し、最大パワー値から7番目までのパワー値を同定し、パワー値とこのパワー値に対応する位相差をデータ復調部202に出力するようになっている。

【0129】上記WTA回路としては、特開平8-321747号公報、特開平9-229970号公報に開示されているものが好適に使用できる。

【0130】上記特開平8-321747号公報では、複数チャネルのアナログ入力信号から、A/D変換器を用いることのない簡便な構成で、最大値または最小値であるチャネルを直接判定する回路(WTA回路)を実現している。

【0131】一方、特開平9-229970号公報では、スイッチドキャパシタによって各コンパレータのオフセット補償を容易に行うことができる回路(WTA回路)を実現している。

【0132】上記構成の同期捕捉部201における信号処理の流れを図13に示すフローチャートを参照しながら以下に説明する。

【0133】図13において、処理がスタートすると、周期を示す『L』を『1』に設定する(ステップS1)。ここで、L=1は1周期目を示す。

【0134】次いで、周期Lにおいて何個目のデータであるかを示す『CNT』を『1』に設定する(ステップS2)。

【0135】続いて、受信波が入力されると(ステップ

S3)、マッチトフィルタ211のシフトレジスタへの受信波の入力がPN符号の1チップの時間長 $T_c$ 毎に行われる。このため、受信波の入力と同時にタイマリセットを行う(ステップS4)。

【0136】次に、CNTが $n$ よりも大きいかが判定される(ステップS5)。ここで、CNTが $n$ 以下であれば、ステップS6に移行し、CNTが $n$ よりも大きければ、ステップS10に移行する。

【0137】ステップS6において、周期 $L$ が1よりも大きいかが判定する。ここで、周期 $L$ が1よりも大きければ、ステップS12に移行し、周期 $L$ が1であればステップS7に移行する。

【0138】すなわち、上記のステップS5、S6では、現在のデータが1周期目の $n$ 番目以下のデータであるかを確認し、そうであるならばステップS7でCNTをインクリメントし、ステップS8でシフトレジスタをシフトし、ステップS9でタイマが1チップの時間長 $T_c$ になるのを待ってステップS3に戻り次の受信波が入力される。

【0139】ステップS3からS9の処理において、1周期目(1周期は $n$ タップ)の受信においてマッチトフィルタ211の $n$ 個のすべてのシフトレジスタに受信波が入力されることになる。

【0140】ステップS5において、CNTが $n$ よりも大きい場合、すなわちCNT= $n+1$ の場合、ステップS10に進み周期 $L$ がインクリメントされる。

【0141】次に、その周期 $L$ において何番目のデータであるかを示す『CNT』を『1』に再設定し(ステップS11)、ステップS12に進む。

【0142】続いて、ステップS6において、受信波の入力が2周期目( $L=2$ )であると判定された場合に、は、ステップS12において $n$ 個のレジスタ値に対して係数 $A_1, A_2, A_3, A_4, \dots, A_{n-2}, A_{n-1}, A_n$ を掛ける。このとき、レジスタに掛ける係数は予めPN符号のパターンと同じにしておく。

【0143】次いで、 $n$ 個の掛け値を合計し(ステップS13)、ここで合計した値を、マッチトフィルタ出力として出力する(ステップS14)。

【0144】次に、出力値の2乗を計算し、パワー値を算出する(ステップS15)。ここでは、PN符号3周期分についてマッチトフィルタ211の出力を平均するように設定されており、ステップS16では $n$ 個の積分器の中のCNT個目の積分器(または加算器)に入力された後、積分(または加算)される。

【0145】その後、 $L=4$ であるかが判定される(ステップS17)。つまり、4周期目であるかが判定される。ここで、4周期目であれば、ステップS21に移行し、4周期目でなければ、CNTの値がインクリメントされる(ステップS18)。

【0146】ステップS18でCNTの値がインクリメ

ントされた後、受信波が入るシフトレジスタをシフトし(ステップS19)、ステップS20においてタイマが1チップの時間長 $T_c$ になるのを待ってステップS3に戻り次の受信波の入力を行う。このようにして、4周期分の受信波の入力を行い、2周期目、3周期目、4周期目の値が加算平均される(1周期目はマッチトフィルタの $n$ 個のシフトレジスタに初期値として入力され、出力しないものとする)。

【0147】また、ステップS17において、4周期目であると判定されれば、ステップS21において、CNT= $n$ であるか否かを判定する。ここで、CNT= $n$ でなければ、上述したステップS18に移行する。

【0148】一方、ステップS21において、CNT= $n$ であると判定されれば、CNT=1に設定する(ステップS22)。

【0149】そして、ステップS17、ステップS21で4周期目の $n$ 個目のデータである時、まず、CNTの値を初期値(CNT=1)に戻し(ステップS22)、平均power、すなわち平均化されたパワー値を求める(ステップS23)。つまり、ステップS23で積分器(あるいは加算器)の出力値を $1/3$ にし、3回のマッチトフィルタ出力のパワー値の平均値を求める。続いて、CNTの値をインクリメントし(ステップS24)、CNTの値が $n$ よりも大きいかが判定する(ステップS25)。

【0150】上述のステップS23～ステップS25のループによって、 $n$ 個の積分器すべてについて平均のパワー値を求めることになる。そして、ステップS25において、CNTの値が $n$ よりも大きいと判定されれば、すなわち $n$ 個の積分器すべてについて平均のパワー値が求められたと判定されれば、ステップS26に移行する。

【0151】ステップS26、ステップS27においてパワー値の閾値処理の初期化を行う。つまり、ステップS26において、レジスタ番号STを1に設定し、ステップS27において、CNTを1に再設定する。

【0152】続いて、パワー値(CNT)が予め決められた閾値THより大きいかどうか比較する(ステップS28)。閾値THは、決定の候補となる値が $M$ 個以下になるように設定する。ここで、CNTの値が閾値THよりも大きければ、ステップS29で、そのパワー値(CNT)をPower情報レジスタ(ST)に、CNT値をPN符号位相差レジスタ(ST)にストアする。各値がストアされれば、ステップS30でストアするレジスタ番号STをインクリメントする。続いて、CNTの値をインクリメントし(ステップS31)、CNTの値が $n$ よりも大きいかが判定する(ステップS32)。

【0153】上述のステップS28～ステップS32のループにおいて $n$ 個のすべての平均のパワー値について閾値処理をすることになる。

【0154】そして、ステップS28において、CNTが閾値THよりも大きくなったと判定されれば、すなわち、 $n$ 個のすべての平均のパワー値について閾値処理が終了したと判定されれば、Power情報レジスタ(ST)にストアされたPower情報について、ソーティングが行われる(ステップS33)。つまり、Power情報について、上記バス同定部214のコンパレータ231による大小比較およびソーティング回路234によるソーティングが行われる。

【0155】ステップS33におけるソーティングが終了すると、パワー値およびCNT値のストアが上記パワー値の大きさの順に行われる(ステップS34)。

【0156】つまり、ステップS34において、まず、最大パワー値がバス同定部214内のPower情報レジスタAにストアされ、そのパワー値に対応するCNT値がPN符号位相差レジスタAにストアされる。続いて、2番目に大きいパワー値がPower情報レジスタBにストアされ、そのパワー値に対応するCNT値がPN符号位相差レジスタBにストアされる。次いで、3番目に大きいパワー値がPower情報レジスタCにストアされ、そのパワー値に対応するCNT値がPN符号位相差レジスタCにストアされる。以下同様に4番目、5番目、6番目に大きいパワー値についてもPower情報レジスタD、E、Fにストアされ、これら各パワー値に対応するCNT値もPN符号位相差レジスタD、E、Fにストアされる。そして、最後に、7番目に大きいパワー値がPower情報レジスタGにストアされ、そのパワー値に対応するCNT値がPN符号位相差レジスタGにストアされ、同期補足動作が終了する。

【0157】次に、データ復調部202について説明する。データ復調部202には、図5に示すように、復調回路203と、Rake合成器204と、A/D変換器205とが設けられている。

【0158】上記復調回路203は、同期追跡部215と、拡散コード生成器216と、逆拡散部217とで構成されている。この復調回路203は、データ復調部202内において、図1に示すように、マルチバスの数、例えば最大7個のバスに対応するように7個設けられている。なお、図5においては、説明の便宜上、1個の復調回路203のみを示している。

【0159】すなわち、データ復調部202において、同期捕捉部201のバス同定部214から出力されたマルチバスの位相情報とパワー値は、該データ復調部202の同期追跡部215に入力され、各々のバス用の拡散コード生成器216の同期信号、Rake合成器204の合成の重みとして用いられる。

【0160】さて、上述した同期捕捉部201で同期位置の探索に成功すると、それ以後の同期位置を雑音の影響で見失わないように監視、修正するように、同期システムのモード変更を行い微調整を行う装置を設けるのが

望ましい。この装置が上記データ復調部202に備えられた同期追跡部215である。

【0161】上記同期追跡部215を実現するための回路例として、図14に示す遅延ロックループ(DLL)を用いた場合について以下に説明する。なお、この場合、拡散コード生成器216を同期追跡部215に含めた例を示しており、拡散コード生成器216を拡散コード生成器246として図示している。以下の図15ないし図18においても同様である。

10 【0162】上記DLLは、図14に示すように、乗算器241、242と加算器243から成る位相比較器と、ループフィルタ244、VCC(電圧制御クロック)245、拡散コード生成器246、Delay回路247、248から構成されている。

【0163】上記各乗算器241、242には、入力信号の他に、後述する拡散信号の逆拡散に使われるPN符号(P-code)に比べて、それぞれ半チップ位相が進んだPN符号(E-code)と半チップ位相が遅れたPN符号(L-code)が供給されている。

20 【0164】DLLには、拡散コード生成器246から2種類の位相の異なるPN符号(E-code, L-code)が供給されているので、基準となるPN符号の発振位相を順に変化させて受信信号との相互相関関数、すなわち受信信号とE-codeとの相互相関関数、受信信号とL-codeとの相互相関関数を取り、さらに、二つの相互相関関数の差分をとり出力とする。

【0165】上記DLLにおいて、 $\tau = \pm T_c / 2$  ( $T_c$ はPN符号の1チップの時間長)の範囲だけに限定してみると、位相のずれに対して出力が線形にตอบสนองする。

30 この出力を拡散コード生成器246にフィードバックする。この出力が正ならPN符号の発生位相を若干(例えば $T_c / 4 \sim T_c / 10$ )進め、負なら位相を若干(例えば $T_c / 4 \sim T_c / 10$ )遅らせ、出力がちょうどゼロになるように制御する。このように、出力がちょうどゼロになっているところでは、図5に示す逆拡散部217に送られるPN符号が受信信号の拡散コードに対して完全に位相があっているので、逆拡散部217には最大の出力が入力される。

40 【0166】ループフィルタ244は、ローパスフィルタが用いられ、位相比較器から出力される信号からループに不要な高周波成分や雑音を除去するようになっている。

【0167】VCC245は、入力電圧に比例した周波数のクロックを出力する発振器であり、ループフィルタ244からの制御電圧に比例した周波数のクロックを発生させ、拡散コード生成器246に入力する。

50 【0168】上記拡散コード生成器246からは、逆拡散に使われるPN符号(P-code)に比べて、半チップ位相が進んだPN符号(E-code)が乗算器241とDelay回路247とに出力される。

【0169】上記Delay回路247では、入力されたE-codeを半チップ遅らせて、P-codeを生成するようになっている。そして、Delay回路247で生成されたP-codeは、次段のDelay回路248と、図示しない逆拡散部に出力される。

【0170】上記Delay回路248では、入力されたP-codeを半チップ遅らせて、L-codeを生成するようになっている。そして、Delay回路248で生成されたL-codeは、次段の乗算器242に入力される。

【0171】上記のDDLにおいて、アナログ信号処理を行う場合、上記ループフィルタ244には積分器を用いる。このときの積分区間は、PN符号の周期T以上で、該周期Tの整数倍の間である。また、上記DDLの乗算部分、すなわち乗算器241、242は、後述する逆拡散部217の回路例(図24)を用いる。

【0172】また、図14に示すDDLの乗算器241、242のそれぞれの出力端子と加算器243の入力端子との間に、例えば図15に示すように、積分器249、250を設けても良い。

【0173】なお、図14および図15に示したDDL以外に、図16に示すタウディザループ(TDL)、図17に示すダブルディザループ(DDL)、図18に示す変形DDL(MDDL)を用いてもよい。

【0174】ここで、上記同期追跡部215として図14および図15に示すDDL以外のTDL、DDL、MDDLについて説明する。なお、説明の便宜上、図14に示すDDLで使用した部材と同一の機能を有する部材に関しては、同一の符号を付記し、その説明は省略する。

【0175】図16に示すTDLは、正しい同期位置付近で自己相関関数が三角形状になることに着目して、受信側で発生させるPN符号の位相をわずかなだけ前後させて、この前後移動によって生じる相関値の変化を取り出して、ループフィルタ244に入力し、このループフィルタ244から出力される出力値がゼロになるようにVCC245により拡散コード生成器246の位相を制御し、全体の発振位相を制御する方式である。

【0176】このようなTDLを実現するには、入力信号を乗算器251で乗算した後、PN符号の発振位相を広範囲にわたってスムーズに変化させる機能の他に、PN符号の位相を $T_c/10$ 程度だけ前後にデジタル的に動かす機能が必要である。この機能を実現するために、例えばディザ発振器255が用いられる。

【0177】上記ディザ発振器255から出力される信号は、入力1段目の乗算器251に入力されるE-codeあるいはL-codeを切り替えるためのスイッチ素子に入力されると共に、上記乗算器251から出力された信号が帯域フィルタ(BPF)253、検波器254を経て入力される乗算器252に入力されるよう

になっている。

【0178】このように、ディザ発振器255を用いることにより、PN符号の位相を $T_c/10$ 程度だけ前後にデジタル的に動かし、TDL全体の発振位相を制御することが可能となる。

【0179】また、図17に示すDDLは、入力信号が入力される一対の乗算器241、242を備えている。これら各乗算器241、242には、それぞれE-codeあるいはL-codeが入力されるようになっており、入力信号の相関をとるようになっている。

【0180】上記乗算器241には、入力信号が入力されると共に、E-codeあるいはL-codeが入力される。そして、E-codeあるいはL-codeと入力信号とが乗算された信号は、帯域フィルタ(BPF)253aを経て乗算器240に入力される。

【0181】上記乗算器240は、ディザ発振器255からの信号が入力され、この信号と上記帯域フィルタ253aを経て入力された信号とを乗算する。乗算結果は、加算器258に入力される。

【0182】一方、上記乗算器241と対をなして設けられた乗算器242も、該乗算器241と同様に、入力信号が入力されると共にE-codeあるいはL-codeが入力される。そして、E-codeあるいはL-codeと入力信号とが乗算された信号は、帯域フィルタ(BPF)253bを経て乗算器257に入力される。

【0183】上記乗算器257は、ディザ発振器255からの信号が反転されて入力され、この信号と上記帯域フィルタ253bを経て入力された信号とを乗算する。乗算結果は、加算器258に入力される。

【0184】上記加算器258は、入力された2つの信号を加算してループフィルタ244に出力するようになっている。以後の処理は、前記のDDLとほぼ同じ処理であり、拡散コード生成器246にて生成される各コードは、ディザ発振器255から信号により切り替え制御されて出力されるようになっている。

【0185】したがって、上記DDLは、上述したTDLとほぼ同じ動作をするが、拡散コード生成器246から出力される2つのcodeによる入力信号に対する相関のとりかたが異なる。つまり、拡散コード生成器246から出力される各コードは、それぞれ2系統となっており、L-codeが乗算器241に入力されるとき、E-codeが乗算器242に入力され、E-codeが乗算器241に入力されるとき、L-codeが乗算器242に入力される。

【0186】すなわち、上記DDLでは、一方のアーム(上アーム)がE-codeにより入力信号の相関をとっている時に、他方のアーム(下アーム)がL-codeにより入力信号の相関をとり、逆に上アームがL-codeにより入力信号の相関をとっている時に、下アーム



ムがE-codeにより入力信号の相関を取るようになっている。

【0187】また、図18に示すMDLLは、3個のアームで相関を構成している。上記MDLLは、3つの乗算器261~263を備えており、各乗算器261~263それぞれに、入力信号と、拡散コード生成器246にて得られた各コード、すなわちL-code、E-code、P-codeとが入力されるようになっている。

【0188】E-codeとの相関をとる乗算器261の出力は、帯域フィルタ(BPF)266および2乗回路267を介して加算器264に入力される。また、L-codeとの相関をとる乗算器262の出力は、帯域フィルタ266および2乗回路267を介して加算器264に入力される。

【0189】一方、P-codeとの相関をとる乗算器263の出力は、帯域フィルタ266および2乗回路267を介して乗算器265に入力される一方、外部に出力される。

【0190】上記乗算器265の他の入力端子には、上述した加算器264の加算結果が入力されるようになっている。そして、この乗算器265の出力(相関出力)は、ループフィルタ244に入力される。

【0191】したがって、上記MDLLでは、一つのアームの相関、すなわち、XとYの相関を $R_{xy}$ で表し、そのアームのゲインを $K_i$ で表すと、相関出力は以下のようにして求められる。つまり、E-codeとL-codeとの相関をとる2個のアームでは、加算器264に入力される前の信号として、それぞれ復調信号 $(K_1 R_{se})^2$ 、 $(K_2 R_{se})^2$ が得られており、加算器264によって $(K_1 R_{se})^2 - (K_2 R_{se})^2$ の相関出力が得られる。この相関出力と、P-codeと相関をとるアームから得られる復調信号 $(K_3 R_{se})^2$ とを乗算器265によって乗算することにより、 $(K_3 R_{se})^2 ((K_1 R_{se})^2 - (K_2 R_{se})^2)$ の相関出力が得られる。

【0192】そして、上記の相関出力をループフィルタ244に入力することにより、該ループフィルタ244から出力される出力がゼロになるようにVCC245により拡散コード生成器246の位相を制御し、MDLL全体の発振位相を制御する。この動作以外の基本的な動作は、上記のTDLと同じである。

【0193】上記のDLL、TDL、DDL、MDLLについての効果を以下に述べる。

DLLの効果：TDLではE-codeとL-codeとの相関を同時にとることができないので、信号保持特性の劣化が認められるが、DLLでは2つのアームでE-codeとL-codeとの相関を同時にとることができるので、信号保持特性の劣化がない。

【0194】TDLの効果：DDLでは、2つのアーム

で同時に相関をとるため、アーム毎にあるBPF特性に差がでやすく、精度に問題が生じる。しかしながら、TDLでは、相関をとるアームが1つなので、このような問題は生じない。また、構造を簡素にできる。

【0195】DDLの効果：TDLでは、上アームのみで構成された相関を、E-codeとL-codeとに對し交互にとっている。これに對して、上記DDLでは、上下両アームで相関を構成している。これにより、TDLでは、E-codeとL-codeの相関を同時にとることができないので、信号の保持特性の劣化が認められるが、DDLでは、E-codeとL-codeの相関を同時にとることができるので、信号の保持特性の劣化がない。

【0196】MDLLの効果：MDLLにおいても、DLLと同様に、2つのアームでE-codeとL-codeとの相関を同時にとることができるので、信号保持特性の劣化がない。

【0197】なお、上記同期追跡部215を実現するための回路例として、図15~図18に示したものについて、それぞれの回路のループフィルタ244の前にA/D変換器を設けても良い。

【0198】例えば図15に示すDLLにおいて、図19に示すように、ループフィルタ244の手前にA/D変換器を設けた場合、積分器249、250を各乗算器241、242の出力側に配置することで、位相比較器で1周期分の受信信号をまとめてループフィルタ244に出力することができる。したがって、このループフィルタ244の手前でA/D変換を行えば、A/D変換器は1個で済む。よって、A/D変換器による電力消費を低減することができる。

【0199】図16~図18に示す回路においても、図20~図22に示すように、ループフィルタ224の手前にA/D変換器を配置した場合、図19に示すDLLのように、A/D変換器による電力消費を低減することができる。

【0200】すなわち、図20に示すTDLでは、乗算器252とループフィルタ244との間にA/D変換器が配置されている。また、図21に示すDDLでは、加算器258とループフィルタ244との間にA/D変換器が配置されている。さらに、図22に示すMDLLでは、乗算器265とループフィルタ244との間にA/D変換器が配置されている。

【0201】また、データ復調部202の拡散コード生成器246は、VCC245からの1クロック毎にシフトを行い送信側と同じ拡散コードを発生させるようになっている。ただし、同期追跡部215による同期追跡動作が始まるまでに受信した拡散信号のPN符号と受信側のPN符号との位相差が $\pm T_c/2$ 以内に収まっている必要がある。つまり、本ベースバンド処理部200は、前述の同期捕捉部201により同期の誤差を $\pm T_c/2$

以内にした後、同期追跡部215が動作するように制御されている。

【0202】上記拡散コード生成器246の具体例について、図23を参照しながら以下に説明する。

【0203】拡散コード生成器246は、図23に示すように、PN符号であるE-code、L-code、P-codeを生成するものであって、1ビットのレジスタをn段並べたシフトレジスタ271と、帰還タップ272と、EX-ORゲート273とから構成されている。

【0204】帰還タップ272からの出力はEX-ORゲート273を通してシフトレジスタ271の初段に入力される。シフトレジスタ271は、あらかじめ決められているPN符号のチップレートと同じクロックパルスに従って記憶内容をシフトしていく。このとき、シフトレジスタ271の最終段の値がその時刻におけるPN符号の出力になる。出力時、レベル変換を行って「1」→「-1」、「0」→「1」に各値を変換する。E-codeとP-codeとの間には、 $T_c/2$ のdelayを発生させ、P-codeとL-codeとの間にも $T_c/2$ のdelayを発生させる。PN符号の系列としては、M符号系列、Gold符号系列等が使われる。

【0205】次に、データ復調部202の逆拡散部217について説明する。逆拡散部217に入力される受信したアナログスペクトル拡散信号のPN符号は、送信側での拡散に用いたPN符号と全く同じPN符号、すなわち、上記拡散コード生成器246から発生したP-codeを用いる。送信側での1次変調波を $g(t)$ 、PN符号を $c(t)$ とすると、送信波 $x(t)$ は、 $x(t) = c(t) \cdot g(t)$ となる。逆拡散部217では、送信側で拡散に用いたPN符号 $c(t)$ と全く同じ信号 $c(t)$ を受信信号に乗算する。

【0206】マルチパスがない場合の受信波は、送信波と同じ $x(t)$ であると考えられるため、PN符号を乗算した結果 $y(t)$ は、 $y(t) = c(t) \cdot x(t) = c^2(t) \cdot g(t)$ となる。 $c(t)$ の波形は±1のランダムな方形波であるため、2乗したものは常に1である。 $c^2(t) = 1$ であるため、 $y(t) = g(t)$ となり、逆拡散部217で受信波に拡散コード(P-code)を乗算する逆拡散をすることによって、データが復調される。

【0207】上記逆拡散部217をアナログ処理で実現するには、受信波のベースバンド信号とP-codeの拡散コードを、該拡散コードのチップレートの速さで乗算回路により乗算すればよい。あるいは、乗算するかわりに、情報系列の情報を表す波形電圧を拡散コードのチップレートの速さで、非反転(PN符号が「1」の場合)あるいは反転回路による反転(PN符号が「-1」の場合)を行い、逆拡散してもよい。

【0208】上記逆拡散部217のアナログ回路例とし

て、図24を参照しながら以下に説明する。なお、本逆拡散部217として、スイッチドキャパシタ型のアナログ信号積分器283と、マルチプレクサとを用いたアナログ方式の相関器285を例に説明する。

【0209】図24に示すように、上記逆拡散部217としての相関器285は、サンプリング回路284と、マルチプレクサ281、282と、アナログ信号積分器283とで構成されている。

【0210】すなわち、相関器285において、サンプリング回路284は図25(a)に示す制御信号 $C\_SP$ に基づいてスイッチング素子SW1およびスイッチング素子SW2をON・OFFすることにより、アナログ入力信号 $V_{in}$ に応じた電荷をサンプリング容量C1へ蓄積する。さらに、マルチプレクサ281、282は、図25(c)に示す2値符号系列信号 $C\_PN$ に応じ、そのままの極性の符号あるいは極性を反転させた符号で、サンプリング容量C1に蓄積されている電荷をアナログ信号積分器283へ印加する。そして、この電荷は、アナログ信号積分器283の帰還容量C2に蓄積される。このとき、サンプリング回路284の後段に設けられたスイッチング素子SW3、SW4は、図25(b)に示す制御信号 $C\_IT$ によってON・OFFが制御されている。

【0211】なお、図24に示すマルチプレクサ281、282は、アナログ信号積分器283において、オペアンプAMP1の反転入力端子および非反転入力端子に接続されている。

【0212】上記の構成において、オペアンプAMP1の入出力間に設け得られた帰還容量C2へ蓄積された電荷は、図25(d)に示すダンブ制御信号 $C\_DP$ が2値符号系列の開始を指示した時点で、スイッチング素子SW5がONすることにより放電される。

【0213】つまり、上記相関器285は、マルチプレクサ281、282を制御する信号 $C\_PN$ がHの時、積分回路283に非反転(PN符号が「1」の場合)信号が入力され、信号 $C\_PN$ がLの時、反転(PN符号が「-1」の場合)信号が入力され、逆拡散の動作を行う。したがって、上記相関器285では、信号 $C\_PN$ はチップレートの速さでHL信号を出力するため、チップレートの速さで逆拡散の動作が行われることになる。

【0214】これにより、相関器285は、ダンブ制御信号 $C\_DP$ が指示した時点のアナログ入力電圧 $V_{in}$ に基づいて積和演算する。したがって、サンプリング時点以外のアナログ入力電圧 $V_{in}$ の変動に起因する演算誤差を削減でき、演算精度を向上できる。

【0215】ところで、建物等に反射してスペクトル拡散通信装置で受信した電波は、直接届いた電波に比べて時間的に遅れて到着し、また振幅も小さい。時間的な遅れは、直接受信波のPN符号とマルチパスの受信波におけるPN符号の位相差として現れ、マッチフィルタの

ピーク発生の時間差として現れる。振幅は信号の強度として現れ、そして、この振幅はマッチトフィルタのピークの振幅に相関する。

【0216】そこで、受信側で、異なる条件で同一の信号を受信した場合に、条件のよい方を選択するのが望ましい。この選択方法としては、空間ダイバシティ、周波数ダイバシティ、時間ダイバシティなどがある。また空間ダイバシティの方法の中には、受信波の強度の強い方を選び切り替える切り替えダイバシティやRakeフィンガからの受信波を合成するRake合成の方法がある。

【0217】本実施の形態では、受信波の選択方法として、Rake合成による空間ダイバシティ法を用いる。マルチパスの信号を合成する部分が上述したRake合成器204である。なお、他の合成方法としては、最大比合成ダイバシティ等の合成ダイバシティ等がある。

【0218】上記Rake合成器204は、マルチパスにより、到着時間と信号強度の違う複数のピークを持つパスを識別し、信頼度に応じた重み付けを行って各パスを合成する。

【0219】本実施の形態では、マルチパス毎にPN符号の同期位置を見つけ、逆拡散を行い、信号振幅に対応する重み付けを行って上記Rake合成器204で合成する。

【0220】なお、Rake合成には複数のパスを逆拡散するため並列に独立して動く複数の逆拡散部217と拡散コード生成器216が必要になる。

【0221】本実施の形態では、同期捕捉部201のパス同定部214で7番目までのパワーを求め、7番目までのパスの位相情報とパワー値を同定し、該パスの位相情報とパワー値とがデータ復調部202に出力される場合を示す。

【0222】データ復調部202においては、マルチパスの数である最大7個のパスに対応する逆拡散部217、拡散コード生成器216が設けられている。パス同定部214から出力されたマルチパスの位相情報とパワー値は、データ復調部202の各々のパス用の拡散コード生成器216の同期信号、Rake合成器204の合成の重みとして用いられる。複数の逆拡散部217は、合成するマルチパスの数だけ存在し、同じ数の拡散コード生成器216と同期追跡部215が存在することになる。

【0223】図26に、Rake合成器204の例を示す。上記Rake合成器204は、各パス毎に設けられた逆拡散部217の出力側に可変抵抗器291、可変遅延回路292が順に設けられると共に、各可変遅延回路292からの出力を加算する加算器293が設けられている。

【0224】送信側での1次変調波を $g(t)$ 、PN符号系列を $c(t)$ とすると、送信波 $x(t)$ は、 $x$

$(t) = c(t) \cdot g(t)$ である。受信波にマルチパスがある場合、それぞれのパスは、時間的後遅れがおこるため、この遅れを $\tau_0, \tau_1, \tau_2, \tau_3, \tau_4, \tau_5$ とし、各々のゲインを $a, b, c, d, e, f, h$ とすると受信波であるスペクトル拡散受信信号 $r(t)$ は $r(t) = ax(t) + bx(t - \tau_0) + cx(t - \tau_1) + dx(t - \tau_2) + ex(t - \tau_3) + fx(t - \tau_4) + hx(t - \tau_5)$ となる。

【0225】送信側で拡散に用いたPN符号系列と同じPN符号から各々のマルチパスの位相差を考慮したPN符号を各逆拡散部217で乗算する。それぞれの逆拡散部217は、乗算器217a、ローパスフィルタ(LPF)217bとで構成されている。したがって、受信信号であるスペクトル拡散受信信号を乗算器217aで乗算し、ローパスフィルタ217bにてフィルタ処理することにより、PN符号の位相が一致したベースバンド信号成分しか残らないようになっている。

【0226】このため、各々のパスの逆拡散部217の出力信号は、マルチパスが7個であると考え、 $ag(t), bg(t - \tau_0), cg(t - \tau_1), dg(t - \tau_2), eg(t - \tau_3), fg(t - \tau_4), hg(t - \tau_5)$ となる。つまり、それぞれの逆拡散部217からは、振幅および位相(遅延時間)が違う波形として出力されることになる。

【0227】上記の逆拡散部217における乗算部分は、逆拡散処理を行っている。この逆拡散処理をアナログ信号処理する場合には、前述の図24に示したように、PN符号の値( $c(t)$ )により入力信号をマルチプレクサによって振り分け、加算することにより逆拡散を行うようになっている。

【0228】上記Rake合成器204は、アナログ信号処理の場合、図26に示すように、各パス毎に設けられている可変抵抗器291にて、各逆拡散部217の出力に重み付けの値( $a, b, c, d, e, f, h$ )を乗算して、 $a^2 g(t), b^2 g(t - \tau_0), c^2 g(t - \tau_1), d^2 g(t - \tau_2), e^2 g(t - \tau_3), f^2 g(t - \tau_4), h^2 g(t - \tau_5)$ とする。すなわち、上記可変抵抗器291では、各々の重み付けの値に応じて、抵抗値を可変し、逆拡散部217からの信号に重み付けの値を乗算するようになっている。

【0229】次に、Rake合成器204では、各パスのピークの同期位置をあわせるため、最も遅い遅延に合わせる。ここでは、 $\tau_5$ が最も大きい遅延であるとする、同期位置を合わせると上記の7個の値は、 $a^2 g(t + \tau_5), b^2 g(t - \tau_0 + \tau_5), c^2 g(t - \tau_1 + \tau_5), d^2 g(t - \tau_2 + \tau_5), e^2 g(t - \tau_3 + \tau_5), f^2 g(t - \tau_4 + \tau_5), h^2 g(t)$ となる。なお、上記の同期位置合わせは、Rake合成器204に設けられた可変遅延回路292によって行われる。

【0230】その後、各可変遅延回路292における出力は、加算器293にて加算され、各パスは合成されたことになり、Rake合成器204から出力される。したがって、Rake合成器204は、各パスに応じた信号を合成した波形信号を出力するようになっている。

【0231】なお、上記Rake合成について具体的に説明すると以下のようになる。図27において、①～⑦は、1周期における各ピーク位置での振幅あるいはパワ一値を示している。

【0232】まず、①のピークがでる時間を同期点とする。受信されるパスは、 $ag(t)$ と重み付け $a$ とを乗算して $a^2g(t)$ で表される。

【0233】次に、②のピークがでる時間を同期点とする。この同期点は、①のピークがでる時間よりも $\tau_0$ 時間だけ遅れた $(t-\tau_0)$ となる。受信されるパスは、 $bg(t-\tau_0)$ と重み付け $b$ を乗算して $b^2g(t-\tau_0)$ で表される。

【0234】同様にして、③～⑥のピークに同期して受信されるパスについて求める。

【0235】そして、⑦のピークがでる時間を同期点とする。この同期点は、①のピークがでる時間よりも $\tau_5$ 時間だけ遅れた $(t-\tau_5)$ となる。受信されるパスは、 $hg(t-\tau_5)$ と重み付け $h$ を乗算して $h^2g(t-\tau_5)$ で表される。

【0236】そして、合成処理を行う場合、同期点が最も遅い⑦に合わせ、これが計算上の同期点となるように、他のパスの時間をずらして位置を合わせて加算する。これにより、上記の7個パスの値は、 $a^2g(t+\tau_5)$ 、 $b^2g(t-\tau_0+\tau_5)$ 、 $c^2g(t-\tau_1+\tau_5)$ 、 $d^2g(t-\tau_2+\tau_5)$ 、 $e^2g(t-\tau_3+\tau_5)$ 、 $f^2g(t-\tau_4+\tau_5)$ 、 $h^2g(t)$ となる。

【0237】ここで、上記データ復調部202における各部の動作について、図28および図29に示すフローチャートを参照しながら以下に説明する。

【0238】まず、データ復調部202の同期追跡部215の動作を説明する。図28において、処理がスタートすると、同期追跡部215は、クロックをスタートさせる(ステップS51)。つまり、同期追跡部215は、同期補足部201のパス同定部214からのピーク値の位相情報により拡散コード生成器216のクロック生成動作をスタートさせる。

【0239】これにより、拡散コード生成器216は、E-codeを生成し(ステップS52)、 $T_c/2$ の遅延時間を発生して(ステップS53)、 $T_c/2$ とE-codeとからP-codeを生成する(ステップS54)。続いて、拡散コード生成器216は、再び $T_c/2$ の遅延時間を発生して(ステップS55)、ステップS54で生成されたP-codeからL-codeを生成する(ステップS56)。

【0240】次に、同期追跡部215は、受信波が入力されると(ステップS57)、E-codeと受信波とを乗算し、乗算値 $D_e$ を求める(ステップS58)。同様に、同期追跡部215は、同じ受信波とL-codeを乗算し、乗算値 $D_l$ を求める(ステップS59)。ここで、E-codeとL-codeには、 $T_c$ の時間差(1チップの位相差)があるが、受信波に乗っているPN符号と相関が強い(位相差が少ない)方が、受信波と乗算した場合に大きな値となる。

- 10 【0241】続いて、ステップS58で求めた乗算値 $D_e$ とステップS59で求めた乗算値 $D_l$ の差( $D_e-D_l$ )を求める(ステップS60)。この値が正の場合、すなわち $D_e$ の値が大きい場合、受信波のPN符号とE-codeとの相関がL-codeに比べ大きいということになり、スペクトル拡散受信側で発生させるPN符号の位相を遅くする必要がある。上記の値が負の場合、すなわち $D_l$ の値が大きい場合、受信波のPN符号とL-codeとの相関がE-codeに比べ大きいということになり、スペクトル拡散受信機で発生させるPN符号の位相を遅くする必要がある。

20 【0242】次に、同期追跡部215は、ループフィルタ244で( $D_e-D_l$ )の値を積分する(ステップS61)。これにより、ループ制御に不要な位相比較器からの高周波の成分やノイズを除去する。

【0243】その後、ループフィルタ244の出力が正であるか負であるかを判定する(ステップS62)。

- 30 【0244】ここで、ステップS62において、正ならばステップS64に移行してVCC245のクロック周波数を遅くし、拡散コード生成器216のPN符号の発生位相を遅くする。負ならばステップS63に移行してVCC245のクロック周波数を遅く、拡散コード生成器216のPN符号の発生位相を遅くする。ゼロならば何もせず次のステップS65に移行する。

【0245】ステップS65において、次のクロックパルスの発生を待つて、クロックパルスが発生すればステップS66に移行する。

- 40 【0246】そして、ステップS66において、同期追跡部215は、拡散コード生成器216のシフトレジスタをシフトさせ、その後、ステップS52に移行しスペクトル拡散受信側で次のPN符号を発生させる。

【0247】すでに示したように、7個のマルチパスがある場合はステップS51からステップS66の動作をする同期追跡部215と拡散コード生成器216が7個存在することになる。このときステップS51のクロックのスタートは、各々7個のマルチパスのPeakの位相に同期することになる。

- 50 【0248】次に、データ復調部202における逆拡散部217とRake合成器204との動作について、図29に示すフローチャートを参照しながら以下に説明する。ここでは、7つのパス毎に処理されることが明確と

なるように、各拡散コード生成器216には、A～F、Hの記号を付記している。

【0249】まず、図29において、処理がスタートすると、逆拡散部217は、バス同定部214の1番大きいピーク値(A)に同期して拡散コード生成器216Aのクロック(1番クロック)がスタートすると(ステップS101)、P-codeを示す関数 $c(t)$ を生成する(ステップS102)。そして、逆拡散部217は、受信波が入力されると(ステップS103)、ステップS102で生成された $c(t)$ と該受信波とを乗算し、 $ag(t)$ を求める(ステップS104)。

【0250】同様にして、逆拡散部217は、バス同定部214の2番目に大きいピーク値(B)に同期して拡散コード生成器216Bのクロック(2番クロック)がスタートすると(ステップS105)、P-codeを示す関数 $c(t-\tau_0)$ を生成する(ステップS106)。そして、受信波が入力されると(ステップS107)、ステップS106で生成された $c(t-\tau_0)$ と該受信波とを乗算し、 $bg(t-\tau_0)$ を求める(ステップS108)。

【0251】同様にして、逆拡散部217は、バス同定部214の3番目に大きいピーク値(C)に同期して拡散コード生成器216Cのクロック(3番クロック)がスタートすると(ステップS109)、P-codeを示す関数 $c(t-\tau_1)$ を生成する(ステップS110)。そして、受信波が入力されると(ステップS111)、ステップS110で生成された $c(t-\tau_1)$ と該受信波とを乗算し、 $cg(t-\tau_1)$ を求める(ステップS112)。

【0252】以下同様にして、4番目、5番目、6番目に大きいピーク値(D)、ピーク値(E)、ピーク値(F)についても同様の処理を行い、P-codeを示す関数 $c(t-\tau_2)$ 、 $c(t-\tau_3)$ 、 $c(t-\tau_4)$ を生成し、これらと受信波とを乗算した後、それぞれの $dg(t-\tau_2)$ 、 $eg(t-\tau_3)$ 、 $fg(t-\tau_4)$ を求める。

【0253】最後に、逆拡散部217は、バス同定部214の7番目に大きいピーク値(H)に同期して拡散コード生成器216Hのクロック(7番クロック)がスタートすると(ステップS113)、P-codeを示す関数 $c(t-\tau_5)$ を生成する(ステップS114)。そして、受信波が入力されると(ステップS115)、ステップS114で生成された $c(t-\tau_5)$ と該受信波とを乗算し、 $hg(t-\tau_5)$ を求める(ステップS116)。

【0254】以上、ステップS101からステップS116の動作がマルチバスを7個とした場合の逆拡散部217の動作である。

【0255】続いて、Rake合成器204における重み付けが行われる。つまり、Rake合成器204は、

先のステップS104で求めた $ag(t)$ に、バス同定部214のPower情報レジスタAの値『a』を乗算し、 $a^2g(t)$ を求める(ステップS117)。

【0256】次いで、Rake合成器204は、先にステップS108で求めた $bg(t-\tau_0)$ に、バス同定部214のPower情報レジスタBの値『b』を乗算し、 $b^2g(t-\tau_0)$ を求める(ステップS118)。

【0257】続いて、先にステップS112で求めた $cg(t-\tau_1)$ に、バス同定部214のPower情報レジスタCの値『c』を乗算し、 $c^2g(t-\tau_1)$ を求める(ステップS119)。

【0258】また、 $dg(t-\tau_2)$ 、 $eg(t-\tau_3)$ 、 $fg(t-\tau_4)$ についても同様にバス同定部214のPower情報レジスタD、E、Fの値『d』、『e』、『f』を乗算し $d^2g(t-\tau_2)$ 、 $e^2g(t-\tau_3)$ 、 $f^2g(t-\tau_4)$ を求める。

【0259】そして、Rake合成器204は、先のステップS116で求めた $hg(t-\tau_5)$ に、バス同定部214のPower情報レジスタGの値『h』を乗算し、 $h^2g(t-\tau_5)$ を求める(ステップS120)。

【0260】以上のステップS117からステップS120の動作がマルチバスを7個とした場合のRake合成器204の重み付けの動作である。つまり、このRake合成器204では、信頼度に応じた重み付けが行われるようになっている。

【0261】次に、Rake合成器204における同期加算が行われる。すなわち、Rake合成器204は、 $\tau_5$ が最も大きい遅延時間であるとした時、バス同定部214のPN符号位相差レジスタAとGの情報に従い、先のステップS117で求めた $a^2g(t)$ で示されるピークの位置を $h^2g(t-\tau_5)$ に同期させ、 $a^2g(t+\tau_5)$ を求める(ステップS121)。

【0262】続いて、Rake合成器204は、バス同定部214のPN符号位相差レジスタBとGの情報に従い、先のステップS118で求めた $b^2g(t-\tau_0)$ で示されるピークの位置を $h^2g(t-\tau_5)$ に同期させ、 $b^2g(t-\tau_0+\tau_5)$ を求める(ステップS122)。

【0263】次いで、Rake合成器204は、バス同定部214のPN符号位相差レジスタCとGの情報に従い、先のステップS119で求めた $c^2g(t-\tau_1)$ で示されるピークの位置を $h^2g(t-\tau_5)$ に同期させ、 $c^2g(t-\tau_1+\tau_5)$ を求める(ステップS123)。

【0264】また、Rake合成器204は、同様にバス同定部214のPN符号位相差レジスタD、E、Gの情報に従い、 $d^2g(t-\tau_2)$ 、 $e^2g(t-\tau_3)$ で示されるそれぞれのピークの位置を $h^2g(t-\tau_5)$ に同期させ、 $d^2g(t-\tau_2+\tau_5)$ 、 $e^2g(t-\tau_3+\tau_5)$ を求める(ステップS124)。

【0265】また、Rake合成器204は、同様にバス同定部214のPN符号位相差レジスタFとGの情報に従い、 $f^2g(t-\tau_4)$ で示されるピークの位置を $h^2g(t-\tau_5)$ に同期させ、 $f^2g(t-\tau_4+\tau_5)$ を求める(ステップS125)。

5)に同期させ、 $d^2 g(t-\tau_2+\tau_5)$ 、 $e^2 g(t-\tau_3+\tau_5)$ を求める。

【0265】続いて、Rake合成器204は、バス同定部214のPN符号位相差レジスタF、Gの情報に従い、 $f^2 g(t-\tau_4)$ で示されるピークの位置を $h^2 g(t-\tau_5)$ に同期させ、 $f^2 g(t-\tau_4+\tau_5)$ を求める(ステップS124)。

【0266】最後に、ステップS121～ステップS124にて求められた7個のバスを合成する(ステップS125)。ここでは、7個のマルチバスの波形を合成する。すなわち、 $a^2 g(t+\tau_5)+b^2 g(t-\tau_0+\tau_5)+c^2 g(t-\tau_1+\tau_5)+d^2 g(t-\tau_2+\tau_5)+e^2 g(t-\tau_3+\tau_5)+f^2 g(t-\tau_4+\tau_5)+h^2 g(t)$ を求める。

【0267】そして、ステップS126でこの合成波を出力し動作を終了する。

【0268】以上のステップS121からステップS125の動作がマルチバスを7個とした場合のRake合成器204の同期加算の動作である。

【0269】上記構成のベースバンド処理部200において、同期捕捉部201ではすべてアナログ処理され、データ復調部201においてはRake合成器204までがアナログ処理され、該Rake合成器204の出力のみがデジタル処理されることになる。

【0270】一般に、ベースバンド処理部200における処理をすべてデジタル処理した場合、全体の消費電力のうち、同期捕捉部201のマッチトフィルタ211が約60%、A/D変換器205が約30%、他の処理部が約10%を占めている。それゆえ、上記構成のスペクトル拡散通信装置のように、ベースバンド処理部200のほとんどの処理をアナログ処理すれば、ベースバンド処理部200の処理をすべてデジタル処理した場合に比べて消費電力を大幅に削減することができる。

【0271】しかも、上記構成のスペクトル拡散通信装置に備えられているベースバンド処理部200によれば、図5に示すように、同期捕捉部201は、マッチトフィルタ211の出力側に、該マッチトフィルタ211により検出され、且つPower計算部212にて得られた複数のピークの連続する複数周期の平均値を求めるための平均化処理部213と、平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のバスを同定するバス同定部214とを備えていることで、アナログスペクトル拡散信号の複数のピーク位置から該アナログスペクトル拡散信号のバスを同定することになる。

【0272】これにより、従来のように、受信したアナログ信号の一つのピーク位置でのみバスを同定する方法に比べて、受信したアナログ信号のバスを正確に同定することができるので、結果としてスペクトル拡散通信装置におけるアナログスペクトル拡散信号の受信精度を向

上させることができる。

【0273】なお、本実施の形態では、図5に示すように、ベースバンド処理部200においてアナログ信号をデジタル信号に変換するためのA/D変換器205が上述したとRake合成器204の出力側に設けられていたが、これに限定するものではない。これは、上述のように、ベースバンド処理部200の処理をすべてデジタル処理した場合に比べて消費電力を大幅に削減する場合には、デジタル処理した場合に消費電力が非常に多くなるマッチトフィルタ211をアナログ処理で実現し、該マッチトフィルタ211の後段のいずれかの位置でA/D変換を行えばよいからである。

【0274】それゆえ、ベースバンド処理部200におけるA/D変換器205の配設位置は、種々考えられる。以下に、A/D変換器205をベースバンド処理部200内の種々の位置に配置した例について説明する。

【0275】まず、同期捕捉部201にA/D変換器205を設けた例について、図30ないし図34を参照しながら以下に説明する。なお、説明の便宜上、以下の説明においては、図5に示す同期捕捉部201およびデータ復調部202に使用されている部材と同一機能を有する部材を含むものとし、各部材の説明は省略する。

【0276】〔実施の形態2〕本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図30に示すように、A/D変換器205を、平均化処理部213とバス同定部214との間に配置した構成の同期捕捉部201aを有している。

【0277】上記の同期捕捉部201aでは、マッチトフィルタ211、Power計算部212、平均化処理部213のブロックの入力段にはアナログ信号が入力され、これらのブロックにおいては受信したアナログスペクトル拡散信号を基にしたアナログ信号処理が行われる。一方、平均化処理部213の出力段に、上記したA/D変換器205を配置することにより、バス同定部214においては、デジタル信号処理が行われることになる。

【0278】したがって、同期捕捉部201aのバス同定部214から出力される信号は、データ復調部202に入力される前にデジタル化されることになる。つまり、上記バス同定部214は、デジタル処理を実現するための回路にする必要がある。

【0279】なお、このときのデータ復調部202の構成は、図5に示すようにRake合成器204の出力段にA/D変換器205を設けたものでも良く、他の構成であっても良い。以下に示す各種の同期捕捉部においても同様である。

【0280】上記の構成において、A/D変換器205が平均化処理部213の出力段に配置されていることにより、該平均化処理部213で平均化処理を行っている間、A/D変換器205の動作を停止させることができ

る。例えば、平均化処理部213での平均化の回数が4回の場合には、A/D変換器205を平均化処理部213の前段に配置した場合に比べて消費電力は1/4となる。

【0281】したがって、ベースバンド処理部200の処理をすべてデジタル処理した場合、比較的消費電力の多いA/D変換器205の消費電力を低減できるので、ベースバンド処理部200の消費電力全体を低減することができる。

【0282】〔実施の形態3〕本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図31に示すように、A/D変換器205を、Power計算部212と平均化処理部213との間に配置した構成の同期捕捉部201bを有している。

【0283】上記同期捕捉部201bでは、マッチトフィルタ211、Power計算部212のブロックの入力段にはアナログ信号が入力され、これらのブロックにおいてはアナログ信号処理が行われる。一方、Power計算部212の出力段にA/D変換器205が配置されることにより、平均化処理部213、バス同定部214のブロックにおいては、デジタル信号処理が行われる。

【0284】したがって、上記平均化処理部213およびバス同定部214は、デジタル処理を実現するための回路にする必要がある。そして、同期捕捉部201bのバス同定部214から出力される信号は、データ復調部202に入力される前にデジタル化されることになる。

【0285】一般に、受信信号に1信号成分、Q信号成分がある場合、Power計算部212では2系統の処理を行い1系統の信号を出力するようになっている。つまり、Power計算部212の前段にA/D変換器205を配置した場合には、1、Q2系統分のA/D変換器205を配置する必要がある。

【0286】しかしながら、上記のように、Power計算部212の後段でA/D変換処理を行えば、A/D変換器205は1個で済む。つまり、Power計算部212で処理された1系統の出力に対してのみA/D変換を行えばよいので、該Power計算部212の後段には1個のA/D変換器205を配置すればよいことになる。

【0287】したがって、Power計算部212の前段でA/D変換を行う場合に比べて、A/D変換器205の個数を減らすことができるので、ベースバンド処理部200における消費電力の低減することができる。

【0288】〔実施の形態4〕本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図32に示すように、A/D変換器205を、マッチトフィルタ211とPower計算部212との間に配置した構成の同期捕捉部201cを有している。

【0289】上記同期捕捉部201cでは、マッチトフ

ィルタ211の入力段にはアナログ信号が入力され、このブロックにおいてはアナログ信号処理が行われる。一方、マッチトフィルタ211の出力段にA/D変換器205が配置されることにより、Power計算部212、平均化処理部213、バス同定部214のブロックにおいては、デジタル信号処理が行われる。

【0290】したがって、上記Power計算部212、平均化処理部213、バス同定部214は、デジタル処理を実現するための回路にする必要がある。そして、同期捕捉部201cのバス同定部214から出力される信号は、データ復調部202に入力される前にデジタル化されることになる。

【0291】上記の構成において、ベースバンド処理部200の消費電力の半分以上を占めるマッチトフィルタ211の後段にA/D変換器205が配置されているので、該ベースバンド処理部200の処理をすべてデジタル処理した場合の消費電力の数分の1にすることができる。

【0292】また、マッチトフィルタ211をアナログ処理で実現する場合、デジタル処理で実現する場合に比べて回路規模を小さくすることができる。

【0293】したがって、ベースバンド処理部200における消費電力を低減させると共に、回路規模の縮小化を図ることができるので、結果として、スペクトル拡散通信装置の消費電力の低減と、装置の小型化を可能できる。

【0294】〔実施の形態5〕本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図33に示すように、A/D変換器205を、Power計算部212とバス同定部214との間に配置した同期捕捉部201dを有している。

【0295】上記同期捕捉部201dでは、マッチトフィルタ211、Power計算部212のブロックの入力段にはアナログ信号が入力され、これらのブロックにおいてはアナログ信号処理が行われる。一方、同期捕捉部201dのPower計算部212の出力段に、A/D変換器205が配置されていることにより、バス同定部214のブロックにおいては、デジタル信号処理が行われる。

【0296】したがって、上記バス同定部214は、デジタル処理を実現するための回路にする必要がある。そして、同期捕捉部201dのバス同定部214から出力される信号は、データ復調部202に入力される前にデジタル化されることになる。

【0297】また、上記同期捕捉部201dでは、マッチトフィルタ211の出力をPN符号数周期にわたって平均化せずに、1周期のみのマッチトフィルタ211の出力によりバス同定の動作を行うようになっているので、前述の平均化処理部213を設けていない。

【0298】また、同期捕捉部201dのバス同定部2

14から出力される信号は、データ復調部202に入力される前にデジタル化されることになる。

【0299】上記の構成において、A/D変換器205は、Power計算部212の後段に配置されているので、前述のように、ベースバンド処理部200の処理をすべてデジタル処理で行った場合に比べて消費電力を大幅に削減することができる。

【0300】また、上記の同期捕捉部201dでは、平均化処理部213が設けられていないので、該ベースバンド処理部200での消費電力の低減と、回路規模の縮小化を図ることができる。

【0301】〔実施の形態6〕本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図34に示すように、A/D変換器205を、マッチトフィルタ211とPower計算部212との間に配置した同期捕捉部201eを有している。

【0302】上記同期捕捉部201eでは、マッチトフィルタ211の入力段にはアナログ信号が入力され、このブロックにおいてはアナログ信号処理が行われる。一方、マッチトフィルタ211の出力段にA/D変換器205が配置されていることにより、Power計算部212、バス同定部214のブロックにおいては、デジタル信号処理が行われる。

【0303】したがって、上記Power計算部212およびバス同定部214は、デジタル処理を実現するための回路にする必要がある。そして、同期捕捉部201eのバス同定部214から出力される信号は、データ復調部202に入力される前にデジタル化されることになる。

【0304】また、この同期捕捉部201eにおいても、図33に示す同期捕捉部201dと同様に、マッチトフィルタ211の出力をPN符号数周期にわたって平均化せずに、1周期のみのマッチトフィルタ211の出力によりバス同定の動作を行うようになっている。したがって、上記同期捕捉部201eにおいても、平均化処理部213を設けていない。

【0305】また、同期捕捉部201eのバス同定部214から出力される信号は、データ復調部202に入力される前にデジタル化されることになる。

【0306】上記の構成によれば、図32で示した同期捕捉部201cの場合と同様に、ベースバンド処理部200の消費電力の半分以上を占めるマッチトフィルタ211の後段にA/D変換器205が配置されているので、該ベースバンド処理部200の処理をすべてデジタル処理した場合の消費電力の数分の1にすることができる。

【0307】また、平均化処理部213を設けていないので、これによってもベースバンド処理部200における消費電力を低減することができる。そして、マッチトフィルタ211をアナログ処理で実現する場合、デジ

タル処理で実現する場合に比べて回路規模を小さくすることができる。しかも、上述のように、同期捕捉部201eに平均化処理部213が設けられていないので、この分ベースバンド処理部200の回路規模をさらに小さくすることができる。

【0308】したがって、ベースバンド処理部200における消費電力を低減させると共に、回路規模の縮小化を図ることができるので、結果として、スペクトル拡散通信装置の消費電力の低減と、装置の小型化を可能にする。

【0309】上記の実施の形態2ないし6における同期捕捉部201a～201eにおける信号処理の流れは、前記の実施の形態1とほとんど同じである。

【0310】すなわち、図13のフローチャートで、上述した同期補足部でのA/D変換のステップは、ステップS25の処理の後に、ステップS15の処理の後に、ステップS14の処理の後に、それぞれはいることになる。また、平均化処理部の構成のない同期補足部の動作は、図13のフローチャートにおいて、ステップS17のLをL=2とし、平均化処理をおこなっているステップS22からステップS25の処理を除いたものとなる。

【0311】また、ベースバンド処理部200において、同期捕捉部201にてA/D変換を行うのではなく、データ復調部202にてA/D変換を行う場合について以下に説明する。

【0312】〔実施の形態7〕本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図35に示すように、すべてのブロックにおいてアナログ信号が入力され、アナログ信号処理が行われる構成の同期捕捉部201fを有している。そして、同期捕捉部201fからデータ復調部202にはアナログ信号が転送されるようになっている。

【0313】〔実施の形態8〕本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図36に示すように、図35に示す同期捕捉部201fと同様に、すべてのブロックにおいてアナログ信号が入力され、アナログ信号処理が行われる構成の同期捕捉部201gを有している。そして、同期捕捉部201gからデータ復調部202にはアナログ信号が転送されるようになっている。

【0314】しかも、上記同期捕捉部201gでは、マッチトフィルタ211の出力をPN符号数周期にわたって平均化せずに、1周期のみのマッチトフィルタ211の出力によりバス同定の動作を行うようになっている。したがって、上記同期捕捉部201gにおいて、平均化処理部213を設けていない。

【0315】また、本願発明では、ベースバンド処理部200の何れかでA/D変換を行うことを前提としているので、図35および図36に示すデータ復調部202



の何れかにおいてA/D変換が行われることになる。

【0316】以下に、データ復調部202におけるA/D変換器205の配設位置を種々変更した場合について説明する。なお、以下において説明するデータ復調部は、図5に示すデータ復調部202と同じ機能を有する部材で構成されているので、それぞれの部材には同一の符号を付記し、その説明は省略する。また、同期捕捉部については、A/D変換器205を備えていない図5に示す同期捕捉部201と同じ構成のものを前提として記載するが、これに限定されず、前述の図30~34で示したようにA/D変換器205を備えたものを使用しても良い。

【0317】〔実施の形態9〕本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図37に示すように、前述の図5に示すものと同じであり、A/D変換器205を、Rake合成器204の出力段に配置した構成のデータ復調部202を有している。

【0318】上記データ復調部202では、復調回路203の入力段、すなわち同期追跡部215、逆拡散部217の入力段、そしてRake合成器204の入力段にはアナログ信号が入力され、これらのブロックにおいてはアナログ信号処理が行われる。一方、データ復調部202のRake合成器204の出力段にはA/D変換器205が配置されていることにより、ベースバンド処理部200の最終出力のみデジタル信号化するようになっている。

【0319】したがって、データ復調部202を構成する同期追跡部215、逆拡散部217、Rake合成器204における処理はすべてアナログ処理で行われることになる。

【0320】上記の構成によれば、データ復調部202においてほとんどの部分でアナログ信号処理になっているので、全ての部分でデジタル信号処理を行うようにした場合よりも消費電力を抑えることができる。

【0321】しかも、データ復調部202の処理をすべてデジタル処理で行った場合に比べて、回路の面積、消費電力を約3割小さくすることができる。

【0322】〔実施の形態10〕本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図38に示すように、A/D変換器205を、逆拡散部217とRake合成器204との間に配置した構成のデータ復調部202aを有している。

【0323】上記データ復調部202aでは、復調回路203の入力段、すなわち同期追跡部215、逆拡散部217の入力段には、アナログ信号が入力され、該復調回路203においてはアナログ信号処理が行われる。一方、復調回路203の逆拡散部217の出力段にA/D変換器205が配置されているので、Rake合成器204のブロックにおいてはデジタル信号処理が行われ

る。

【0324】したがって、Rake合成器204は、デジタル処理を実現するための回路にする必要がある。

【0325】同期追跡部215をデジタル化した場合、該同期追跡部215の前段に配置されるA/D変換器205の動作速度を非常に早くしなければならない。逆拡散部217においてアナログ処理されていれば、逆拡散部217の後段に設けられたA/D変換器205の動作速度を上記のように速くする必要がない。

- 10 【0326】しかも、同期追跡部215のループフィルタの直前にA/D変換器205を配置した場合、拡散コード生成器216からの拡散コードであるE-codeと乗算する入力信号、L-codeと乗算する入力信号をA/D変換する必要がなく、E-codeと入力信号の乗算結果と、L-codeと入力信号の乗算結果との差を計算した後の値に対してA/D変換器は1個で済む。さらに、A/D変換器の前にアナログ処理を行う積分器を設けることにより、この場合、A/D変換器205の速度 $f_c$ が、PN符号の周期分の1に遅くなる。例えば、周期が256タップの場合、 $f_c/256$ となる。

【0327】具体的には、同期追跡部215あるいは逆拡散部217の前段でA/D変換する場合、A/D変換器205は4倍~10倍の $4f_c \sim 10f_c$ となり、逆拡散部217の後段でA/D変換する場合、A/D変換器205の速度がPN符号の周期分の1に遅くなる( $f_c/256$ )。

- 30 【0328】したがって、図38に示すデータ復調部202aによれば、A/D変換器205の動作速度を遅くできる分だけ消費電力の低減が図れる。

【0329】〔実施の形態11〕本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図39に示すように、A/D変換器205を、復調回路203の同期追跡部215の入力段と、Rake合成器204の出力段との2箇所に配置された構成のデータ復調部202bを有している。すなわち、上記データ復調部202bは、図31に示すデータ復調部202の構成に加えて、同期追跡部215の入力段にA/D変換器205が配置された構成となっている。

- 40 【0330】上記データ復調部202bでは、逆拡散部217、Rake合成器204のブロックの入力段にはアナログ信号が入力され、これらのブロックにおいては、すべてアナログ信号処理が行われる。一方、復調回路203の同期追跡部215の入力段と、Rake合成器204の出力段とにそれぞれA/D変換器205が配置されていることにより、同期追跡部215においてデジタル信号処理が行われると共に、ベースバンド処理部200における最終出力がデジタル化される。

- 50 【0331】したがって、上記同期追跡部215は、デジタル処理を実現するための回路にする必要がある。

【0332】〔実施の形態12〕本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図40に示すように、A/D変換器205を、同期追跡部215の入力段と、逆拡散部217の出力段との2箇所に配置された構成のデータ復調部202cを有している。すなわち、上記データ復調部202cは、図38に示すデータ復調部202aの構成に加えて、同期追跡部215の入力段にA/D変換器205が配置されている。

【0333】上記データ復調部202cでは、逆拡散部217のブロックの入力段にはアナログ信号が入力され、このブロックにおいてはアナログ信号処理が行われる。一方、同期追跡部215の入力段と、逆拡散部217の出力段とにA/D変換器205が配置されていることにより、同期追跡部215、拡散コード生成器216、およびRake合成器204においては、デジタル信号処理が行われる。

【0334】したがって、図39で示したデータ復調部202bと同様に、データ復調部202cのほとんどのブロックでデジタル処理が行われることになる。

【0335】ところで、図37ないし図40では、同期捕捉部201における同期位置の微調整を行うために同期追跡部215が設けられている。しかしながら、通常、同期捕捉部201で求められた同期位置に対して微調整を行わなくても実用に耐え得るものである。そこで、以下の例では、同期追跡部215を設けない場合について説明する。

【0336】〔実施の形態13〕本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図41に示すように、図37に示すデータ復調部202の復調回路203に代えて、復調回路203aを備えた構成のデータ復調部202dを有している。

【0337】つまり、上記復調回路203aは、復調回路203では備えられていた同期追跡部215が設けられていない。すなわち、この復調回路203aは、同期捕捉部201における同期位置の微調整を行う機能を有していない場合を示している。

【0338】上記のデータ復調部202dでは、Rake合成器204の出力段にA/D変換器205が配置されている。この場合、逆拡散部217、Rake合成器204のブロックの入力段にはアナログ信号が入力され、これらブロックにおいてはアナログ信号処理が行われる。一方、Rake合成器204の出力段には、A/D変換器205が配置されていることにより、該Rake合成器204の出力はデジタル化され、データ復調部202dの最終出力のみデジタル信号化する。

【0339】〔実施の形態14〕本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図42に示すように、図38に示すデータ復調回路202aの復調回路203の代わりに、復調回路203

aを備えた構成のデータ復調部202eを有している。上記データ復調部202eは、上述のデータ復調部202dと同様に、同期追跡部215を設けていない構成となっている。

【0340】上記のデータ復調部202eでは、復調回路203aの逆拡散部217とRake合成器204との間にA/D変換器205が配置されている。この場合、逆拡散部217のブロックの入力段にはアナログ信号が入力され、このブロックにおいてはアナログ信号処理が行われる。一方、逆拡散部217の出力段にA/D変換器205が配置されていることにより、Rake合成器204のブロックにおいてはデジタル信号処理が行われる。

【0341】したがって、実施の形態13および14に示す復調回路203aでは、いずれも同期追跡部215が設けられていない。このため、受信信号に対する追跡処理精度が若干低下するものの回路規模を小さくすることができる。

【0342】ところで、図37ないし図42において、逆拡散部217にて逆拡散された複数の信号をRake合成器204にて合成し、ベースバンド処理部200の出力波としていた。これは、マルチパスを考慮し、それぞれのパスを合成することにより、S/Nを向上させるという効果を奏するためである。したがって、特に合成しなくても、スペクトル拡散通信装置としての機能を損なうことはない。

【0343】以下に、Rake合成器204を設けないデータ復調部について説明する。

【0344】〔実施の形態15〕本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図43に示すように、図37に示すデータ復調部202においてRake合成器204を設けていない構成のデータ復調部202fを有している。すなわち、上記データ復調部202fは、逆拡散部217の出力段にA/D変換器205が配置された構成であり、このA/D変換器205の出力をベースバンド処理部200の出力としている。

【0345】したがって、上記データ復調部202fでは、復調回路203の入力段である同期追跡部215、逆拡散部217のブロックの入力段にはアナログ信号が入力され、これらのブロックにおいてはアナログ信号処理が行われる。一方、復調回路203の逆拡散部217の出力段にA/D変換器205が配置されていることにより、該A/D変換器205からRake合成しないで最も大きい振幅のパスのデジタル信号のみを出力する。この出力を、データ復調部202fの出力とする。

【0346】〔実施の形態16〕本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図44に示すように、図39に示すデータ復調部202bにおいてRake合成器204を設けていない構

成のデータ復調部202gを有している。すなわち、データ復調部202gは、復調回路203の同期追跡部215の入力段にA/D変換器205が配置されると共に、復調回路203の逆拡散部217の出力段にA/D変換器205が配置された構成であり、上記逆拡散部217の出力段に設けられたA/D変換器205の出力をベースバンド処理部200の出力としている。

【0347】したがって、上記データ復調部202gでは、逆拡散部217のブロックの入力段にはアナログ信号が入力され、この機能ブロックにおいてはアナログ信号処理が行われる。一方、復調回路203の同期追跡部215の入力段と、逆拡散部217の出力段とにそれぞれA/D変換器205が配置されていることにより、復調回路203の同期追跡部215のブロックにおいてはデジタル信号処理が行われると共に、逆拡散部217で逆拡散された信号がデジタル化される。そして、上記逆拡散部217にてデジタル化された信号のうち、最も大きい振幅のパスの信号のみをデータ復調部202gの出力とする。

【0348】【実施の形態17】本実施の形態に係るスペクトル拡散通信装置に備えられたベースバンド処理部は、図45に示すように、図41に示すデータ復調部202dにおいてRake合成器204を設けていない構成のデータ復調部202hを有している。すなわち、データ復調部202hは、復調回路203aの逆拡散部217の出力段のみにA/D変換器205が配置された構成となっている。これは、上述のように、上記復調回路203aは、同期捕捉部201における同期位置の微調整を行う機能を有していない場合を示している。

【0349】上記データ復調部202hでは、復調回路203aの逆拡散部217のブロックの入力段にはアナログ信号が入力され、このブロックにおいてはアナログ信号処理が行われる。一方、復調回路203aの逆拡散部217の出力段に、A/D変換器205が配置されていることにより、逆拡散部217にて逆拡散された信号をデジタル化したものを出力するようになっている。すなわち、上記データ復調部202hでは、Rake合成しないで最も大きい振幅のパスの信号のみで該データ復調部202hの出力としている。

【0350】上述した実施の形態15ないし17に示すデータ復調部202fないし202hでは、いずれもRake合成器204を設けていないので、このRake合成器204が消費する分の電力を削減することができる。

【0351】しかも、Rake合成器204が設けられていない分の回路規模も縮小することができる。

【0352】ここで、本願発明で最も簡略化したベースバンド処理部200の例について図46を参照しながら以下に説明する。

【0353】【実施の形態18】本実施の形態に係るス

ペクトル拡散通信装置に備えられたベースバンド処理部は、図46に示すように、同期捕捉部201hはマッチトフィルタ211のみを含み、データ復調部202iはA/D変換器205のみを含む構成となっている。そして、上記A/D変換器205は、上記マッチトフィルタ211のピーク値をA/D変換することになる。

【0354】上記構成のベースバンド処理部では、必要最小限の構成要素を有しているだけなので、回路規模を非常に小さくすることができると共に、消費電力を大幅に削減できる。

【0355】上述のデータ復調部に関する各実施の形態9ないし17において、データ復調部における信号処理の流れは、前記の実施の形態1の図28および図29で示したフローチャートとほとんど同じである。但し異なる部分は、以下の通りである。

【0356】図28に示すフローチャートで、上述した同期追跡部215でのA/D変換のステップは、ステップS57の処理の前にはいることになり、ステップS57においてはデジタルデータの受信波が入力されることになる。

【0357】図29に示すフローチャートで、上述した同期追跡部215でのA/D変換のステップは、ステップS116の後に、ステップS125の後にそれぞれはいることになる。なお、Rake合成をしない場合には、図29に示すフローチャートにおいて、ステップS101からステップS104、およびステップS126の処理となる。

【0358】以上のように、本願発明のスペクトル拡散通信装置では、アナログスペクトル拡散信号がベースバンド処理部に入力された場合、該ベースバンド処理部の出力までに、少なくとも1個のA/D変換器を有するため、同期捕捉部とデータ復調部の各々の構成の少なくとも1個は、アナログ処理を行い、その後デジタル変換することになるので、PN符号のチップレートの2~3倍でA/D変換する高速A/D変換の動作、サンプルホールドの動作が軽減されることになる。

【0359】また、本願発明のスペクトル拡散通信装置によれば、従来のすべてデジタル信号処理した場合に比べ消費電力が少なく、携帯端末での充電電池をより小さいものとすることができる。さらに、ベースバンド処理部の実装部分の面積を小さくことができ、スペクトル拡散通信装置を低消費電力で小型にできる。

【0360】なお、上述した各実施の形態では、同期捕捉部とデータ復調部とを別々に説明したが、これらを適宜組み合わせてもよく、また、上述した各実施の形態では、スペクトル拡散通信装置の受信側のみにについて説明したが、スペクトル拡散送信装置を同一装置内に設けてもよい。

【0361】一般に、同期捕捉部およびデータ復調部の両方の入力手段にA/D変換器が配置されている場合、

必要とするA/D変換器の動作速度は微調整（同期追跡）を行うデータ復調部のほうが速い。

【0362】このため、ベースバンド処理部を同期捕捉部とデータ復調部の入力部分で共通のA/D変換器で設計する場合、同期捕捉部のA/D変換器の動作速度を、データ復調部のA/D変換器の動作速度に合わせるように設計する。この場合、すべてのA/D変換器の動作速度は最も高速で消費電力も大きい。

【0363】しかしながら、同期捕捉部とデータ復調部とで分けてA/D変換器を使う場合には、本願のように、A/D変換器の速度を各々必要最低限の速度まで遅くし、動作速度を分けて設計すればよく、この結果、消費電力も必要最小限の値にすることができる。

【0364】

【発明の効果】請求項1の発明のスペクトル拡散通信装置は、以上のように、受信したアナログスペクトル拡散信号をベースバンド処理部でデジタル信号にして復調するスペクトル拡散通信装置において、上記ベースバンド処理部は、受信したアナログスペクトル拡散信号から同期捕捉を行う同期捕捉部と、該同期捕捉部による結果に基づいて受信したアナログスペクトル拡散信号の復調を行うデータ復調部とを備え、上記同期捕捉部は、受信したアナログスペクトル拡散信号のピーク位置を検出するためのマッチトフィルタを少なくとも有し、上記マッチトフィルタではアナログ処理が行われる構成である。

【0365】それゆえ、少なくとも、上記マッチトフィルタの処理はアナログ処理であることにより、ベースバンド処理部における消費電力を大幅に削減することができる。

【0366】しかも、アナログ処理を行うようにマッチトフィルタを設計した場合、マッチトフィルタの処理をデジタル処理した場合に比べて、回路規模を小さくすることができるという効果を奏する。

【0367】請求項2の発明のスペクトル拡散通信装置は、以上のように、請求項1の構成に加えて、同期捕捉部は、マッチトフィルタの出力側に、該マッチトフィルタにより検出された相関値のパワー値を求めるPower計算部と、Power計算部の出力の複数のピークの連続する複数周期の平均値を求めるための平均化処理部と、平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のバスを同定するバス同定部とを備え、上記マッチトフィルタの出力の直後にA/D変換器が配置されている構成である。

【0368】それゆえ、請求項1の構成による効果に加えて、同期捕捉部は、上記のマッチトフィルタの出力側に、該マッチトフィルタにより検出された複数のピークについて連続する複数周期のピークから平均値を求めるための平均化処理部と、平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のバスを同定するバス同定部とを備えていることで、アナログスペク

トル拡散信号の複数周期のピーク値から該アナログスペクトル拡散信号のバスを同定することになり、結果としてアナログスペクトル拡散信号の受信精度を向上させることができる。

【0369】しかも、ベースバンド処理部の消費電力の半分以上を占めるマッチトフィルタの後段にA/D変換器が配置されているので、該ベースバンド処理部の処理をすべてデジタル処理した場合の消費電力の数分の1にすることができるという効果を奏する。

10 【0370】請求項3の発明のスペクトル拡散通信装置は、以上のように、請求項1の構成に加えて、同期捕捉部は、マッチトフィルタの出力側に、該マッチトフィルタにより検出された相関値のパワー値を求めるPower計算部と、Power計算部の出力の複数のピークの連続する複数周期の平均値を求めるための平均化処理部と、平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のバスを同定するバス同定部とを備え、上記Power計算部の出力直後にA/D変換器が配置されている構成である。

20 【0371】それゆえ、請求項1の構成による効果に加えて、同期捕捉部は、上記のマッチトフィルタの出力側に、該マッチトフィルタにより検出された複数のピークについて連続する複数周期のピークから平均値を求めるための平均化処理部と、平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のバスを同定するバス同定部とを備えていることで、アナログスペクトル拡散信号の複数周期のピーク値から該アナログスペクトル拡散信号のバスを同定することになり、結果としてアナログスペクトル拡散信号の受信精度を向上させることができる。

30 【0372】しかも、Power計算部の出力直後にA/D変換器が接続されているので、処理信号にI信号成分とQ信号成分とがある場合、計算後は $I^2 + Q^2$ の1系統の値になるため、A/D変換器をPower計算部の前段に配置した場合に比べA/D変換器の消費電力は1/2となる。したがって、比較的消費電力が多いA/D変換器の消費電力を低減できるので、ベースバンド処理部の消費電力全体を低減することができるという効果を奏する。

40 【0373】請求項4の発明のスペクトル拡散通信装置は、以上のように、請求項1の構成に加えて、同期捕捉部は、マッチトフィルタの出力側に、該マッチトフィルタにより検出された相関値のパワー値を求めるPower計算部と、Power計算部の出力の複数のピークの連続する複数周期の平均値を求めるための平均化処理部と、平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のバスを同定するバス同定部とを備え、上記平均化処理部の出力の直後にA/D変換器が配置されている構成である。

50 【0374】それゆえ、請求項1の構成による効果に加

えて、同期捕捉部は、上記のマッチフィルタの出力側に、該マッチフィルタにより検出された連続する複数周期のピーク値から平均値を求めるための平均化処理部と、平均化されたピーク値に基づいて、受信したアナログスペクトル拡散信号のパスを同定するパス同定部とを備えていることで、アナログスペクトル拡散信号の複数周期のピーク値から該アナログスペクトル拡散信号のパスを同定することになり、結果としてアナログスペクトル拡散信号の受信精度を向上させることができる。

【0375】しかも、平均化処理部の出力の直後にA/D変換器が接続されているので、該平均化処理部で平均化処理を行っている間、A/D変換器の動作を停止させることができる。例えば、平均化処理部での平均化の回数が4回の場合には、A/D変換器を平均化処理部の前段に配置した場合に比べて消費電力は1/4となる。

【0376】したがって、比較的消費電力の多いA/D変換器の消費電力を低減できるので、ベースバンド処理部の消費電力全体を低減することができるという効果を奏する。

【0377】請求項5の発明のスペクトル拡散通信装置は、以上のように、請求項1ないし4の何れかの構成に加えて、データ復調部は、拡散コードを生成するための拡散コード生成器と、生成された拡散コードに基づいて、受信したアナログスペクトル拡散信号を逆拡散する逆拡散部とを備え、上記逆拡散部の出力側にA/D変換器が配置されている構成である。

【0378】それゆえ、請求項1ないし4の何れかの構成による効果に加えて、上記のように逆拡散部がアナログ処理されていれば、逆拡散部の後段に設けられたA/D変換器の動作速度は、PN符号の周期分の1に遅くなり、周期が256タップの場合、256分の1( $f_c/256$ )に遅くなる。

【0379】したがって、A/D変換器の動作速度を遅くできる分だけ消費電力の低減を図ることができるという効果を奏する。

【0380】請求項6の発明のスペクトル拡散通信装置は、以上のように、請求項1ないし4の何れかの構成に加えて、データ復調部は、拡散コードを生成するための拡散コード生成器と、生成された拡散コードに基づいて、受信したアナログスペクトル拡散信号を逆拡散する逆拡散部と、逆拡散された複数の信号を合成するためのRake合成器とを備え、上記逆拡散部とRake合成器との間にA/D変換器が配置されている構成である。

【0381】それゆえ、請求項1ないし4の何れかの作用に加えて、上記のように逆拡散部がアナログ処理されていれば、逆拡散部の後段に設けられたA/D変換器の動作速度は、PN符号の周期分の1に遅くなり、周期が256タップの場合、256分の1( $f_c/256$ )に遅くなる。

【0382】したがって、A/D変換器の動作速度を遅

くできる分だけ消費電力の低減を図ることができる。さらに、マルチパスをRake合成器により合成しているため、S/N比を向上させることができるという効果を奏する。

【0383】請求項7の発明のスペクトル拡散通信装置は、以上のように、請求項1ないし4の何れかの構成に加えて、データ復調部は、拡散コードを生成するための拡散コード生成器と、生成された拡散コードに基づいて、受信したアナログスペクトル拡散信号を逆拡散する逆拡散部と、逆拡散された複数の信号を合成するためのRake合成器とを備え、上記Rake合成器の出力側にA/D変換器が配置されている構成である。

【0384】それゆえ、請求項1ないし4の何れかの構成に加えて、データ復調部においてほとんどの部分でアナログ信号処理になっているので、全ての部分でデジタル信号処理を行うようにした場合よりも消費電力を抑えることができる。

【0385】しかも、データ復調部の処理をすべてデジタル処理で行った場合に比べて、回路の面積、消費電力を小さくすることができる。さらに、マルチパスをRake合成器により合成しているため、S/N比を向上させることができるという効果を奏する。

【0386】請求項8の発明のスペクトル拡散通信装置は、以上のように、請求項5ないし7の何れかの構成に加えて、データ復調部は、さらに、上記同期捕捉部により捕捉結果に基づいて、上記拡散コード生成器を制御する同期追跡部を備えている構成である。

【0387】それゆえ、請求項4ないし6の何れかの構成に加えて、同期追跡部を設けることにより、同期捕捉部において同定した複数のパスのピーク値の同期位置を常に監視することができる。これにより、逆拡散部において逆拡散処理に必要な拡散コードの生成を各パス毎に正しく生成のタイミングを微調整することが可能になり、受信精度の向上を図ることができるという効果を奏する。

【0388】上記同期追跡部の具体的例としては、請求項9ないし12に記載のものが考えられる。

【0389】請求項9の発明のスペクトル拡散通信装置は、以上のように、請求項7または8の構成に加えて、同期追跡部は、遅延ロックループからなる構成である。

【0390】請求項10の発明のスペクトル拡散通信装置は、以上のように、請求項7または8の構成に加えて、同期追跡部は、タウディザループからなる構成である。

【0391】請求項11の発明のスペクトル拡散通信装置は、以上のように、請求項7または8の構成に加えて、同期追跡部は、ダブルディザループからなる構成である。

【0392】請求項12の発明のスペクトル拡散通信装置は、以上のように、請求項7または8の構成に加え

10

20

30

40

50

て、同期追跡部は、変形遅延ロックループからなる構成である。

【0393】請求項13の発明のスペクトル拡散通信装置は、以上のように、請求項9ないし12の何れかの構成に加えて、同期追跡部のループフィルタの前にA/D変換器が配置されると共に、該A/D変換器の前に、アナログ信号の積分処理を行う積分器または帯域フィルタが設けられている構成である。

【0394】それゆえ、請求項9ないし12の何れかの構成による効果に加えて、A/D変換器の前に積分器を設けない場合では、 $4f_c \sim 10f_c$ の動作速度のA/D変換器が必要となっているが、上述のように積分器を設けることにより、A/D変換器の速度がPN符号の周期分の1で済み、回路構成が簡略化されると共に、ベースバンド処理部における消費電力を低減することができるという効果を奏する。

【0395】請求項14の発明のスペクトル拡散通信装置は、以上のように、請求項1の構成に加えて、同期捕捉部は、マッチトフィルタのみを備え、データ復調部は、A/D変換器のみを備え、上記マッチトフィルタの出力の直後に上記A/D変換器が配置され、上記マッチトフィルタの出力の直後のA/D変換器の出力をベースバンド処理部の出力とする構成である。

【0396】それゆえ、請求項1の構成による効果に加えて、ベースバンド処理部では、必要最小限の構成要素を有しているだけなので、回路規模を非常に小さくできると共に、消費電力を大幅に削減できる。

【0397】しかも、ベースバンド処理部の消費出力の半分以上を占めるマッチトフィルタの後段にA/D変換器が配置されているので、該ベースバンド処理部の処理をすべてデジタル処理した場合の消費電力の数分の1にすることができる。

【0398】また、アナログマッチトフィルタにより逆拡散された後のマッチトフィルタの相関値をA/D変換しているため、A/D変換の動作速度は、PN符号の周期分の1でよく、A/D変換器の消費電力の低減も図ることができるという効果を奏する。

#### 【図面の簡単な説明】

【図1】本発明のスペクトル拡散通信装置に備えられたベースバンド処理部の概略を示すブロック図である。

【図2】上記スペクトル拡散通信装置の概略を示すブロック図である。

【図3】図2に示すスペクトル拡散通信装置に備えられた受信部の概略を示すブロック図である。

【図4】図2に示すスペクトル拡散通信装置に備えられた情報復調部の概略を示すブロック図である。

【図5】図2に示すスペクトル拡散通信装置に備えられたベースバンド処理部の一例を示すブロック図である。

【図6】図5に示すベースバンド処理部に備えられたマッチトフィルタの概略を示すブロック図である。

【図7】図6に示すマッチトフィルタの処理をアナログ処理で実現するための回路の一例を示す構成図である。

【図8】図6に示すマッチトフィルタの処理をアナログ処理で実現するための回路の他の例を示す構成図である。

【図9】図5に示すベースバンド処理部に備えられたPower計算部の回路の一例を示す構成図である。

【図10】平均化処理の説明図である。

【図11】図5に示すベースバンド処理部に備えられた平均化処理部の回路の一例を示す構成図である。

【図12】図5に示すベースバンド処理部に備えられたバス同定部の回路の一例を示す構成図である。

【図13】図5に示すベースバンド処理部の同期捕捉部における処理の流れを示すフローチャートである。

【図14】図5に示すベースバンド処理部に備えられた同期追跡部の回路の一例を示す構成図である。

【図15】図5に示すベースバンド処理部に備えられた同期追跡部の回路の他の例を示す構成図である。

【図16】図5に示すベースバンド処理部に備えられた同期追跡部の回路のさらに他の例を示す構成図である。

【図17】図5に示すベースバンド処理部に備えられた同期追跡部の回路のさらに他の例を示す構成図である。

【図18】図5に示すベースバンド処理部に備えられた同期追跡部の回路のさらに他の例を示す構成図である。

【図19】図15に示す同期追跡部にA/D変換器を設けた例を示す構成図である。

【図20】図16に示す同期追跡部にA/D変換器を設けた例を示す構成図である。

【図21】図17に示す同期追跡部にA/D変換器を設けた例を示す構成図である。

【図22】図18に示す同期追跡部にA/D変換器を設けた例を示す構成図である。

【図23】図5に示すベースバンド処理部に備えられた拡散コード生成器の回路の一例を示す構成図である。

【図24】図5に示すベースバンド処理部に備えられた逆拡散部の回路の一例を示す構成図である。

【図25】(a)～(d)は、図24に示す逆拡散部で使用される制御信号の波形図である。

【図26】図5に示すベースバンド処理部に備えられたRake合成器の回路の一例を示す構成図である。

【図27】Rake合成の説明図である。

【図28】図5に示すデータ復調部における処理の流れを示すフローチャートである。

【図29】図5に示すデータ復調部における処理の流れを示すフローチャートである。

【図30】本発明の他の実施の形態に係るベースバンド処理部の同期捕捉部の概略を示すブロック図である。

【図31】本発明のさらに他の実施の形態に係るベースバンド処理部の同期捕捉部の概略を示すブロック図である。

【図 3 2】本発明のさらに他の実施の形態に係るベースバンド処理部の同期捕捉部の概略を示すブロック図である。

【図 3 3】本発明のさらに他の実施の形態に係るベースバンド処理部の同期捕捉部の概略を示すブロック図である。

【図 3 4】本発明のさらに他の実施の形態に係るベースバンド処理部の同期捕捉部の概略を示すブロック図である。

【図 3 5】本発明のさらに他の実施の形態に係るベースバンド処理部の同期捕捉部の概略を示すブロック図である。

【図 3 6】本発明のさらに他の実施の形態に係るベースバンド処理部の同期捕捉部の概略を示すブロック図である。

【図 3 7】本発明のさらに他の実施の形態に係るベースバンド処理部のデータ復調部の概略を示すブロック図である。

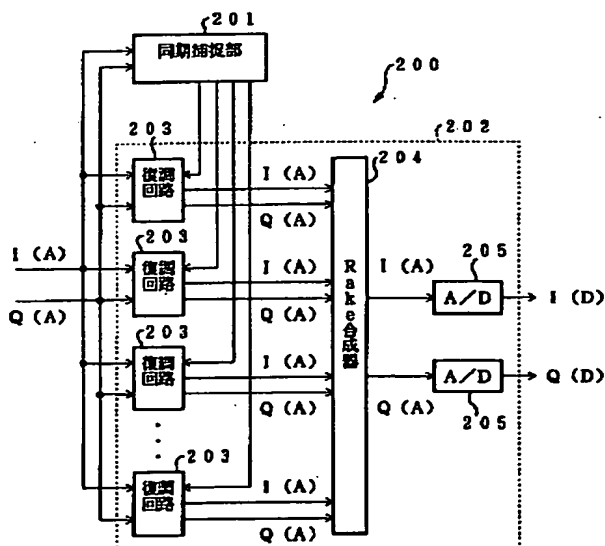
【図 3 8】本発明のさらに他の実施の形態に係るベースバンド処理部のデータ復調部の概略を示すブロック図である。

【図 3 9】本発明のさらに他の実施の形態に係るベースバンド処理部のデータ復調部の概略を示すブロック図である。

【図 4 0】本発明のさらに他の実施の形態に係るベースバンド処理部のデータ復調部の概略を示すブロック図である。

【図 4 1】本発明のさらに他の実施の形態に係るベースバンド処理部のデータ復調部の概略を示すブロック図である。

【図 1】



【図 4 2】本発明のさらに他の実施の形態に係るベースバンド処理部のデータ復調部の概略を示すブロック図である。

【図 4 3】本発明のさらに他の実施の形態に係るベースバンド処理部のデータ復調部の概略を示すブロック図である。

【図 4 4】本発明のさらに他の実施の形態に係るベースバンド処理部のデータ復調部の概略を示すブロック図である。

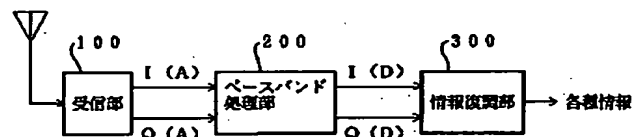
10 【図 4 5】本発明のさらに他の実施の形態に係るベースバンド処理部のデータ復調部の概略を示すブロック図である。

【図 4 6】本発明のさらに他の実施の形態に係るベースバンド処理部の概略を示すブロック図である。

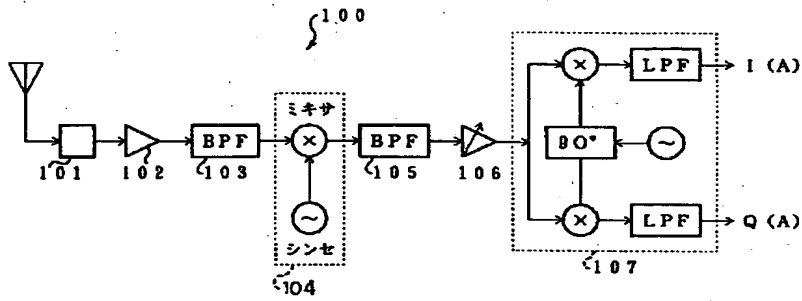
## 【符号の説明】

200	ベースバンド処理部
201	同期捕捉部
201a~h	同期捕捉部
202	データ復調部
202a~i	データ復調部
203	復調回路
204	Rake合成器
205	A/D変換器
211	マッチトフィルタ
212	Power計算部
213	平均化処理部
214	パス同定部
215	同期追跡部
216	拡散コード生成器

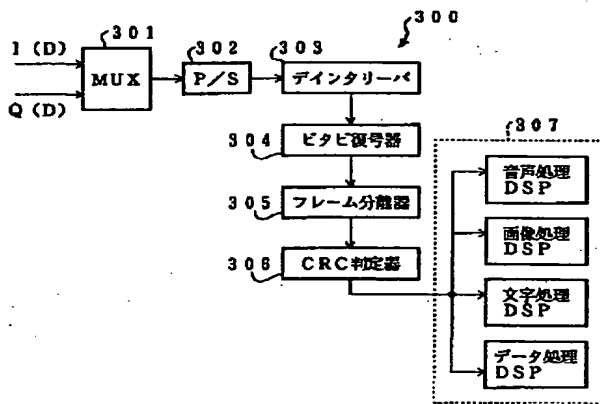
【図 2】



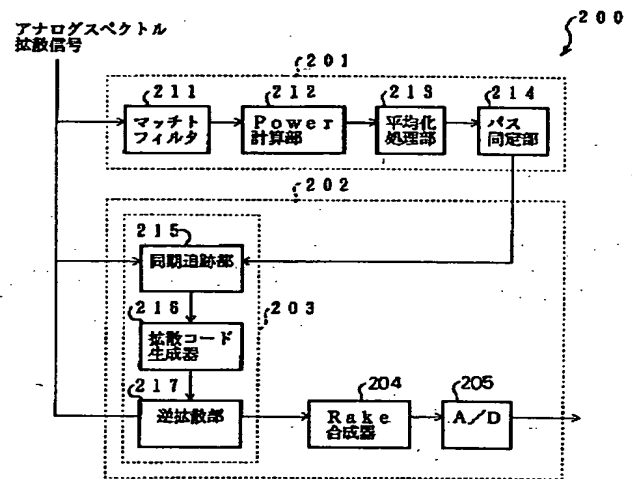
【図3】



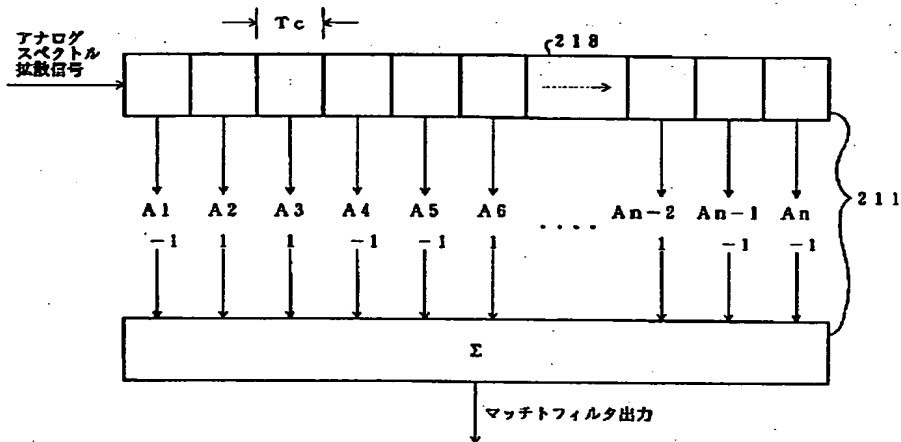
【図4】



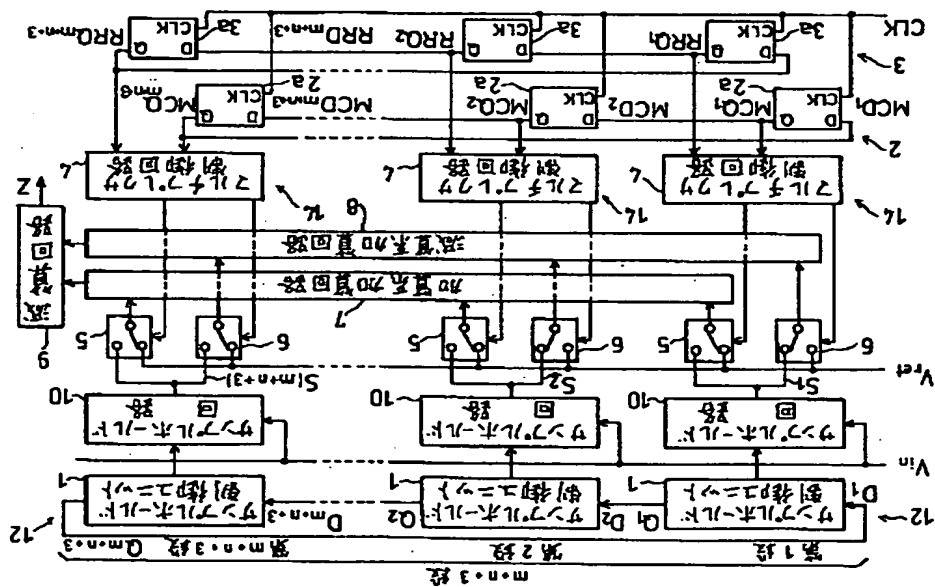
【図5】



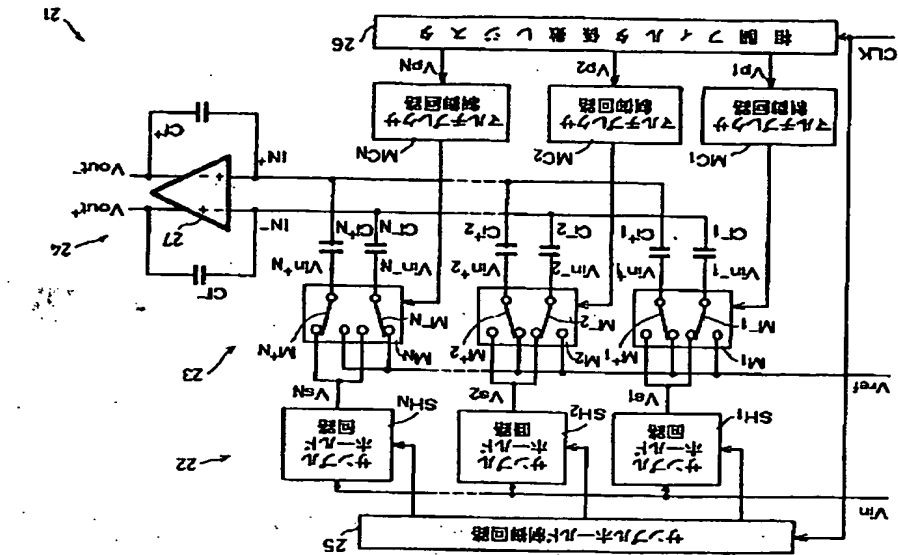
【図6】





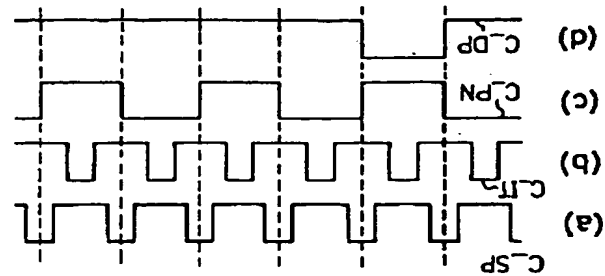


【図7】

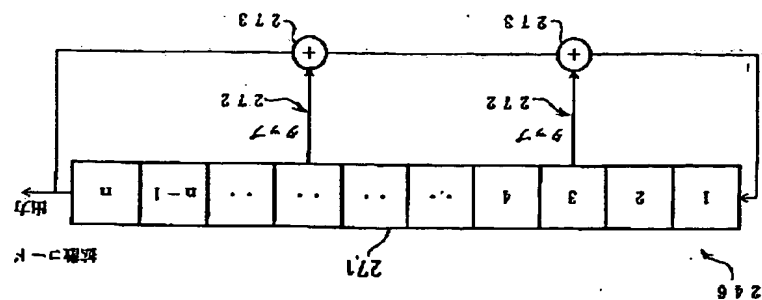


【図8】

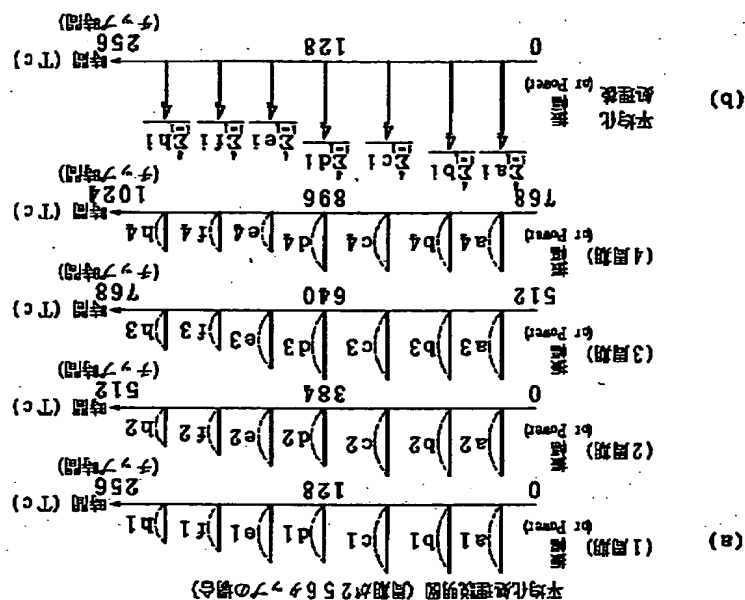
21



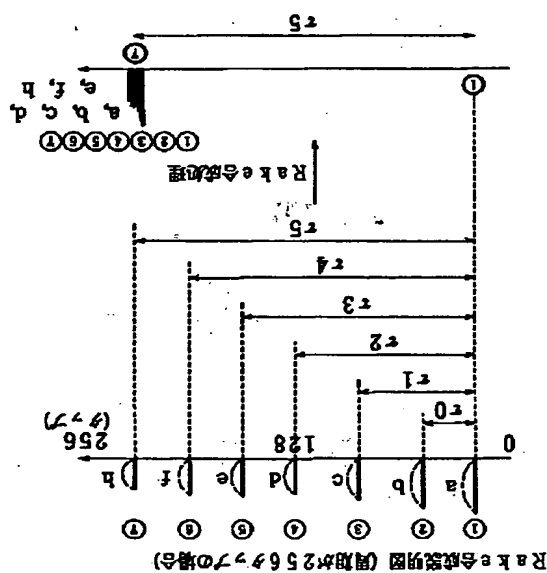
【図9】



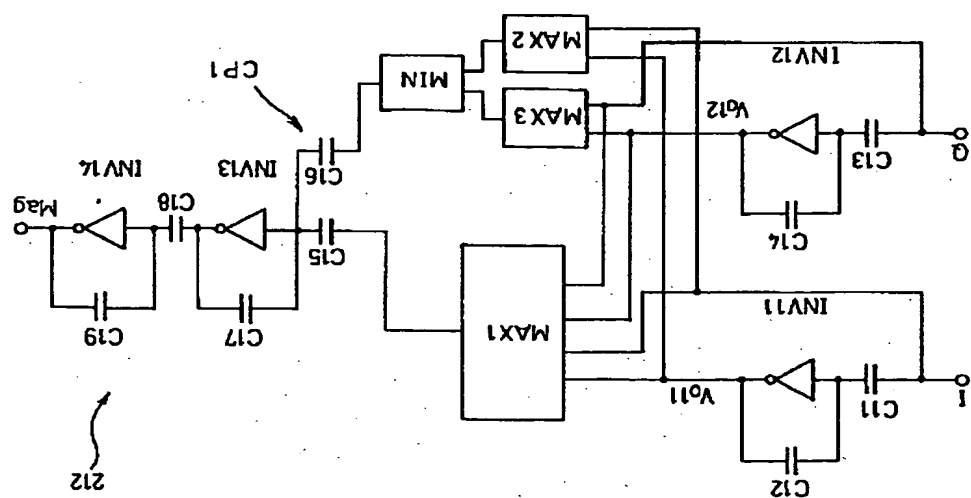
【23】



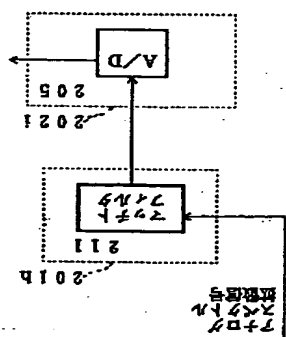
【01】



【圖 27】

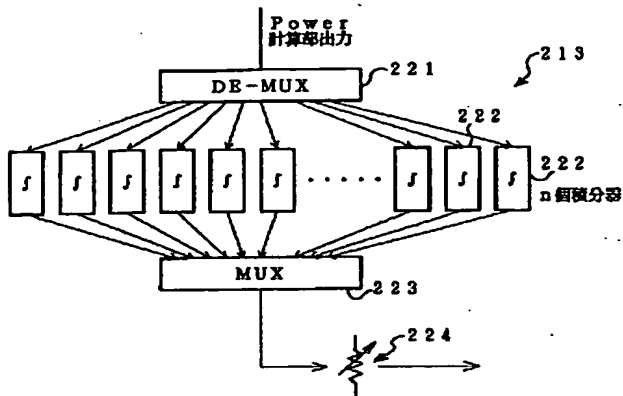


【6 図】

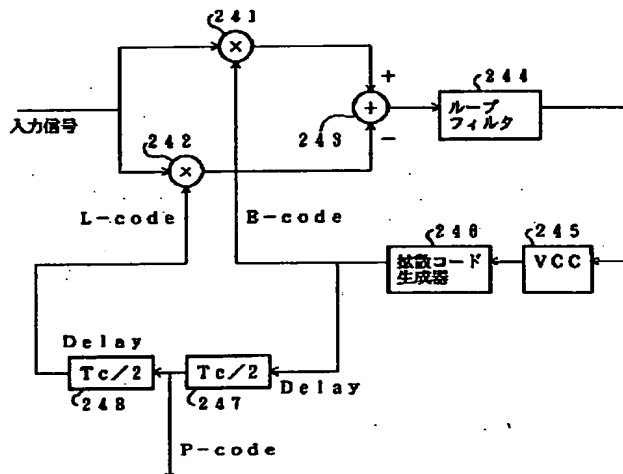


【例46】

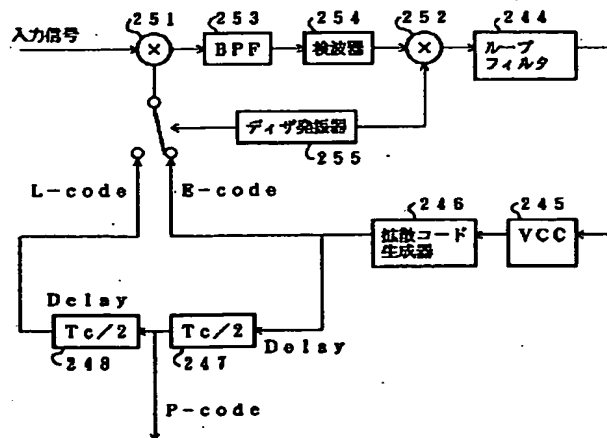
【図11】



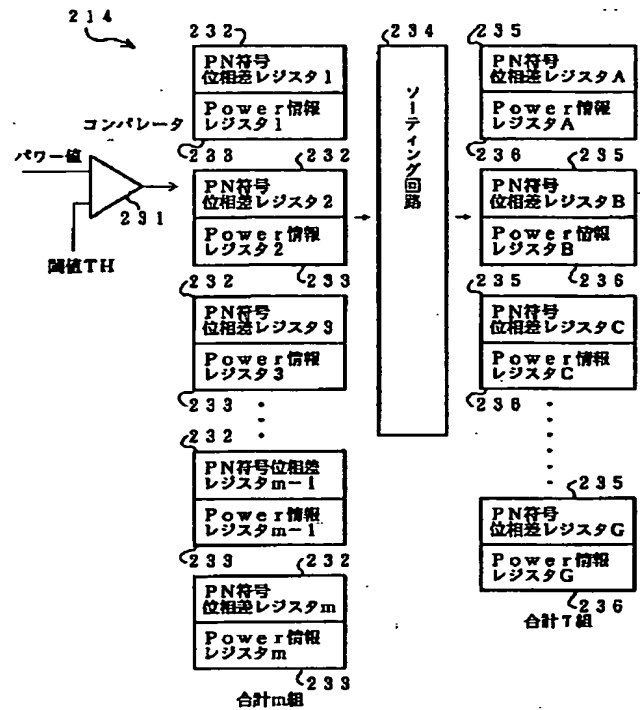
【図14】



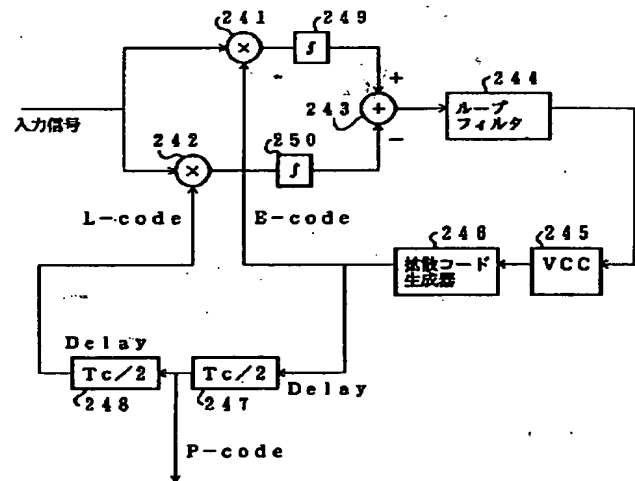
【図16】



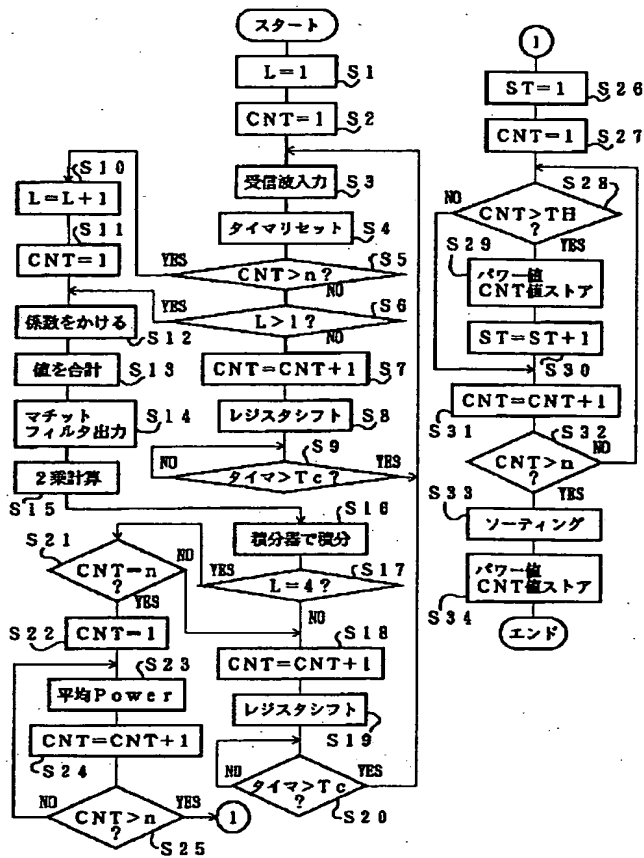
【図12】



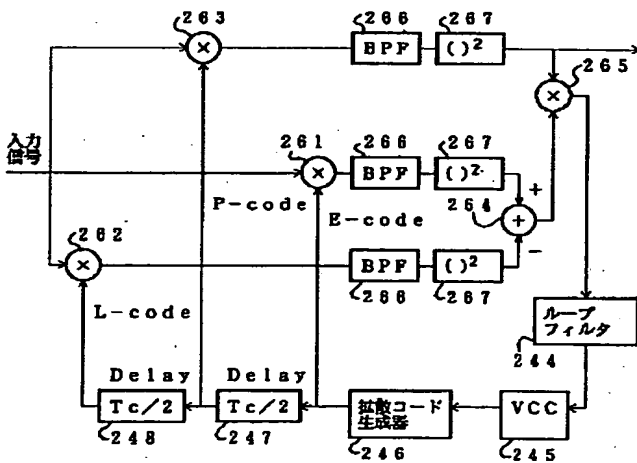
【図15】



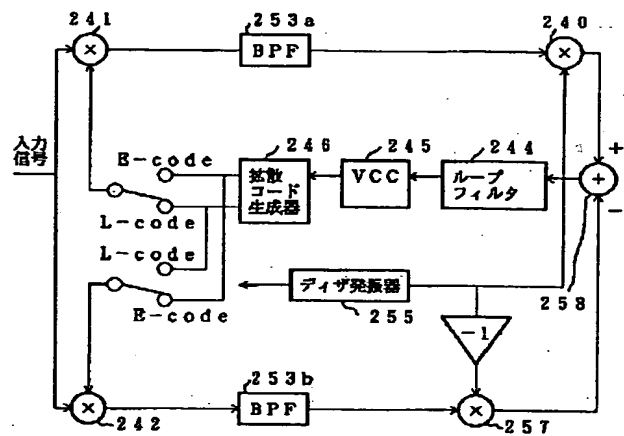
【図13】



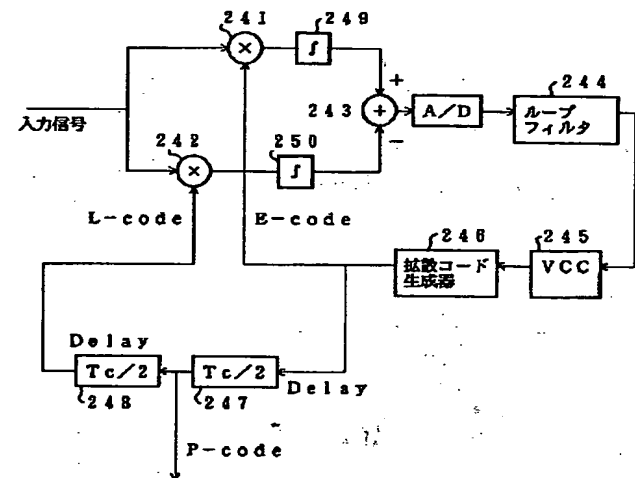
【図18】



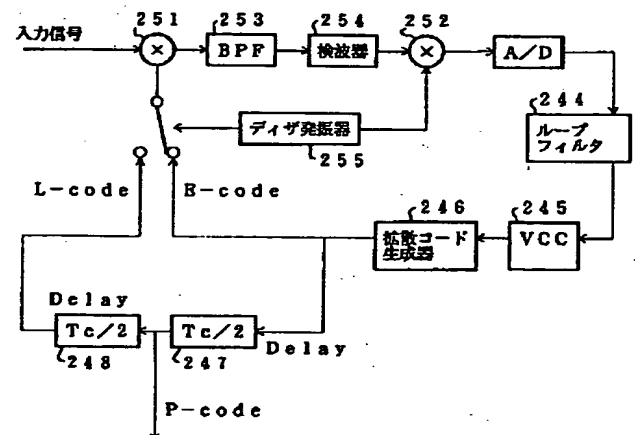
【図17】



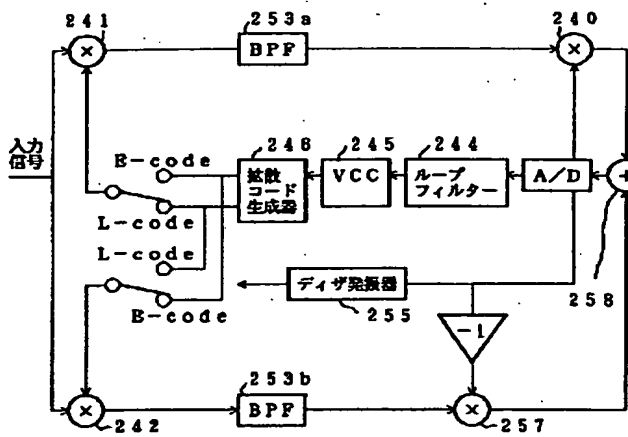
【図19】



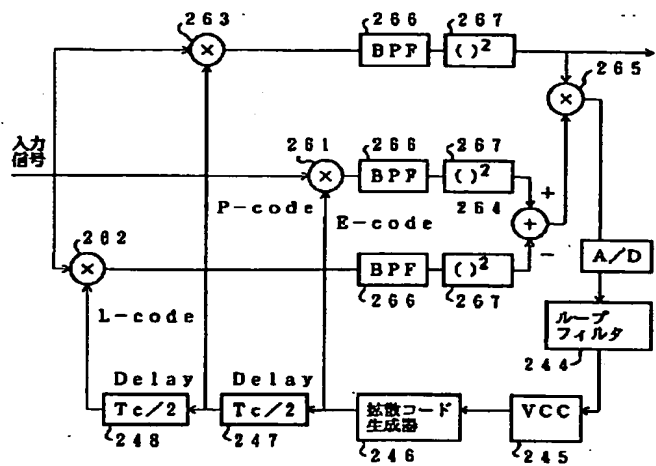
【図20】



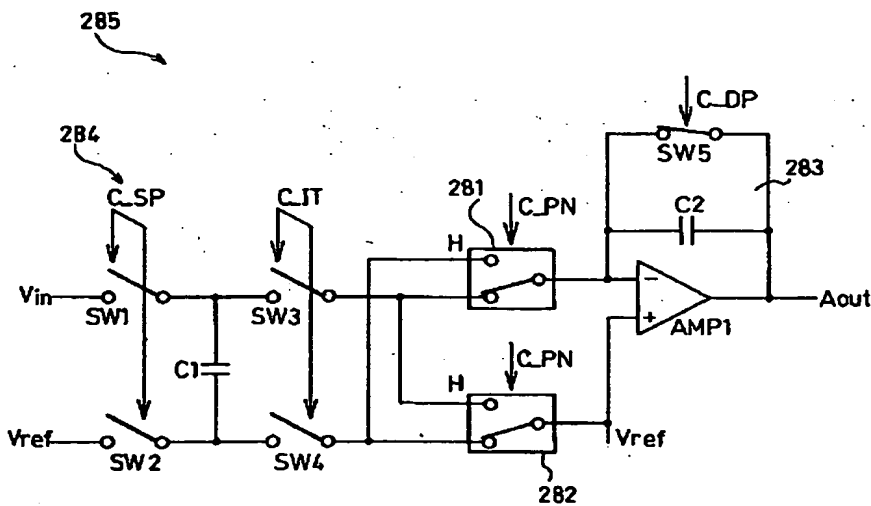
【図21】



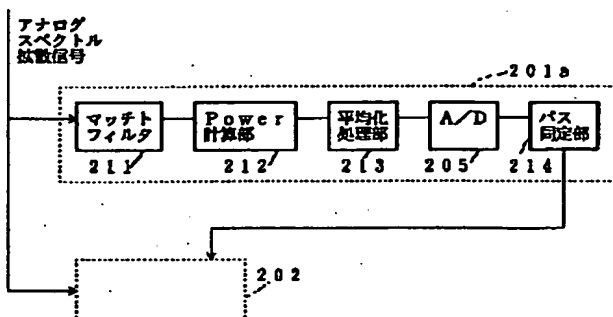
【図22】



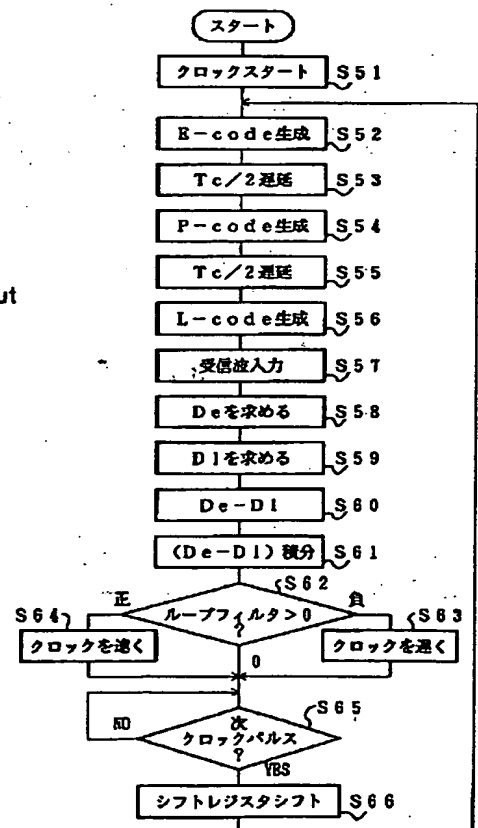
【図24】



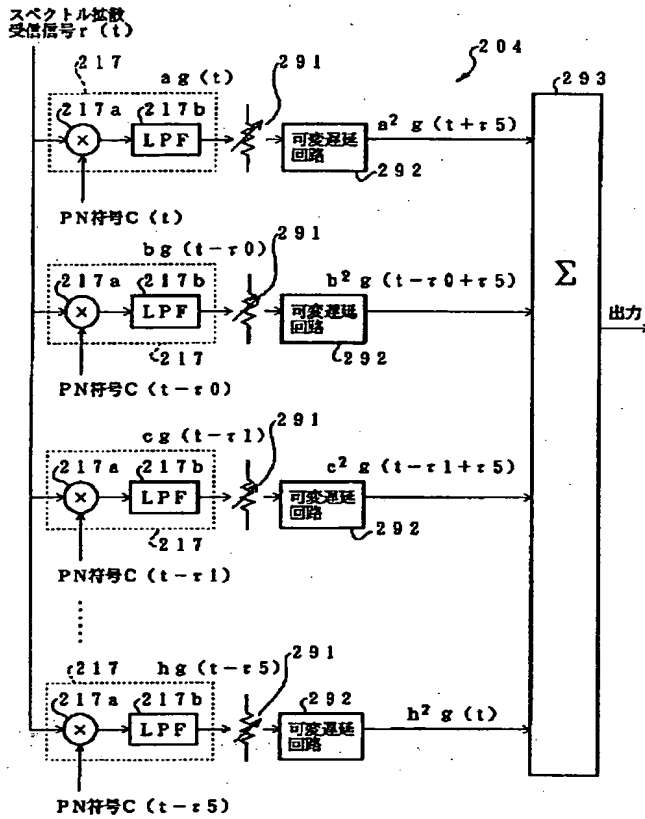
【図30】



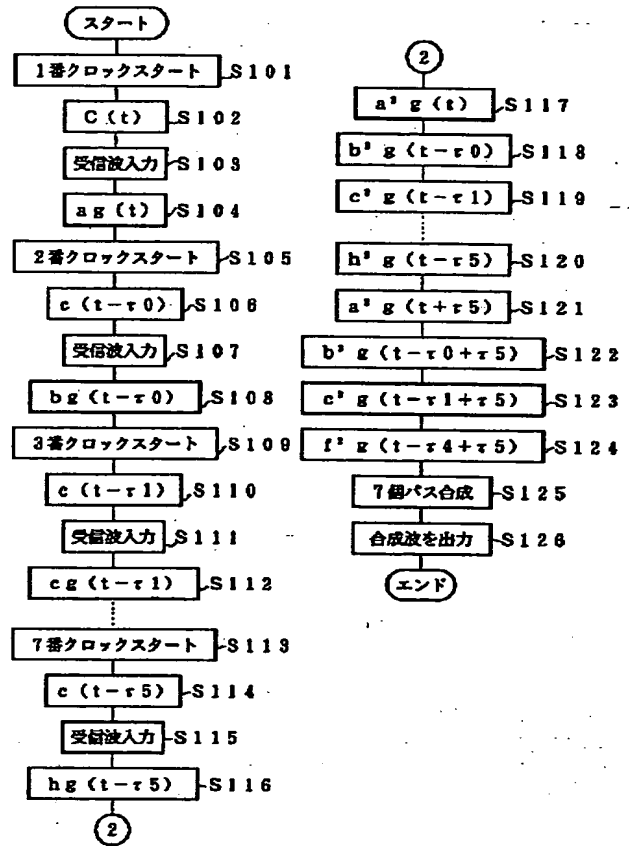
【図28】



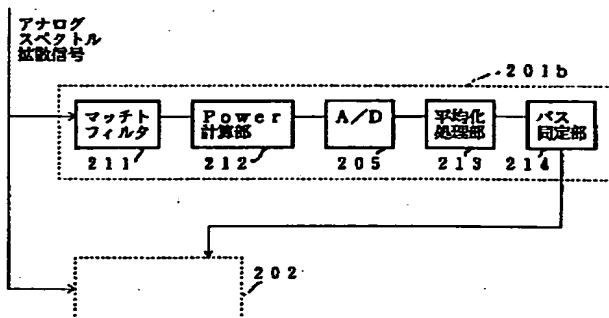
【図26】



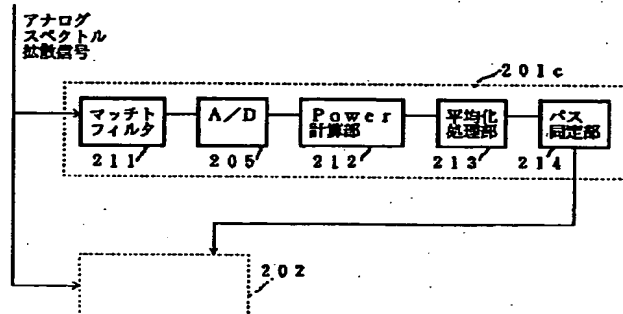
【図29】



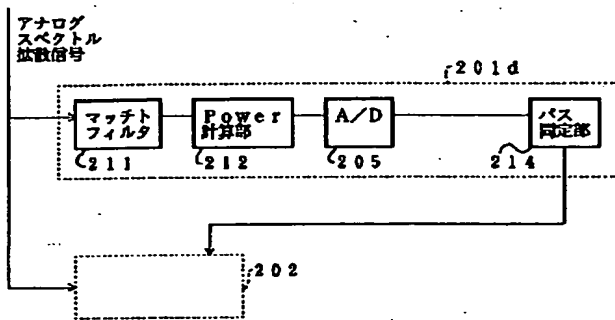
【図31】



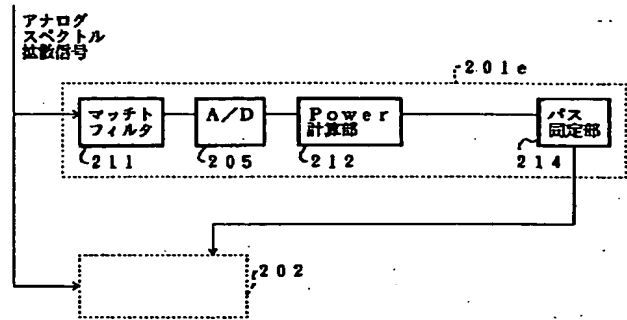
【図32】



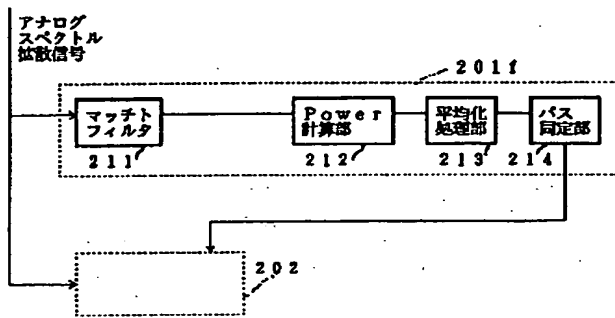
【図33】



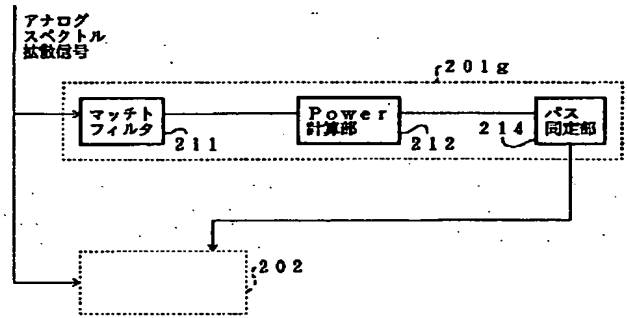
【図34】



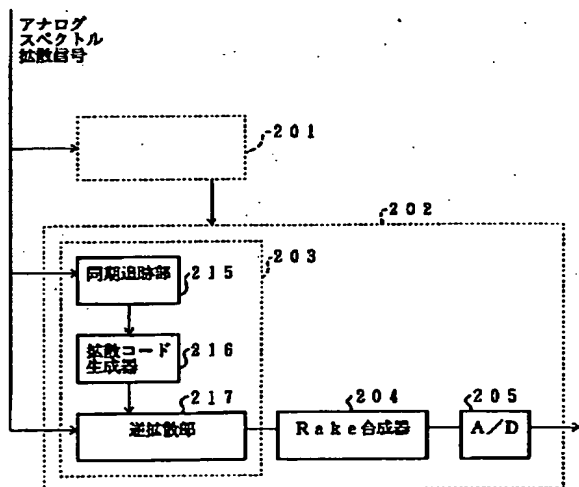
【図35】



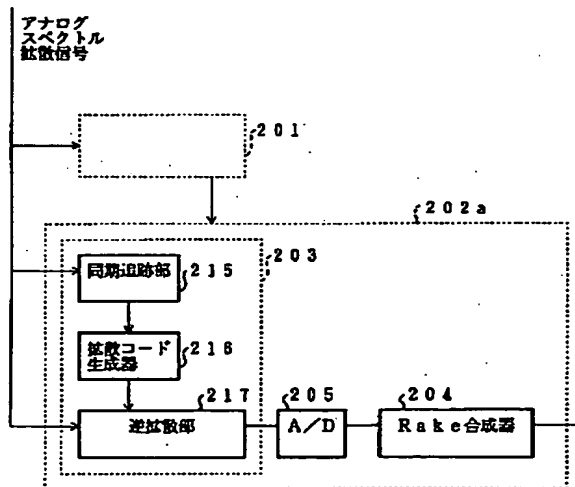
【図36】



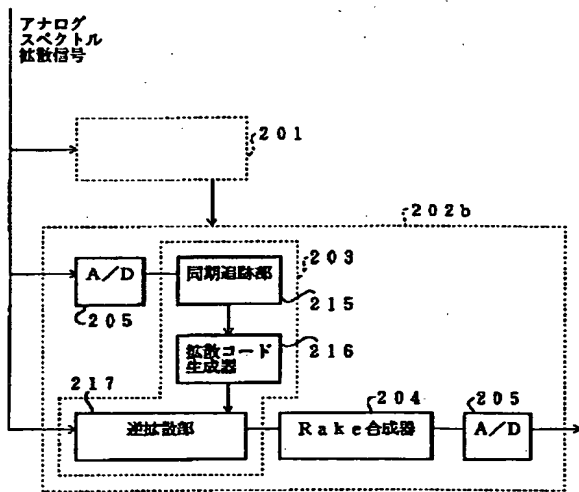
【図37】



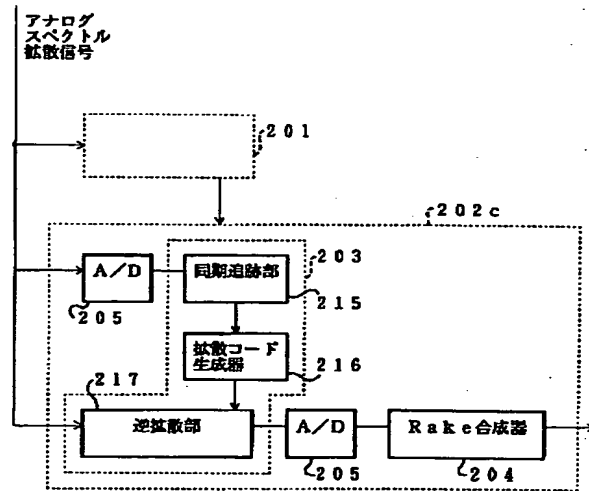
【図38】



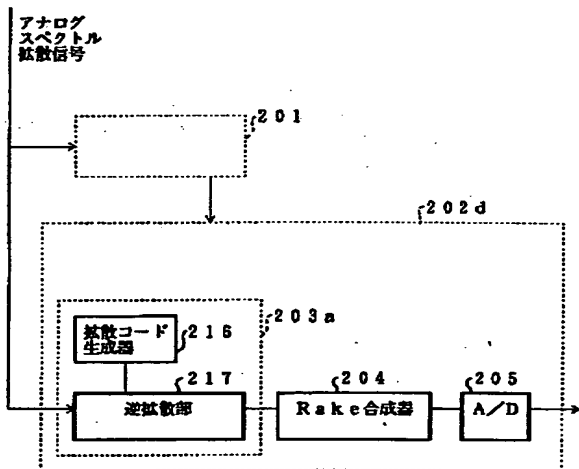
【図39】



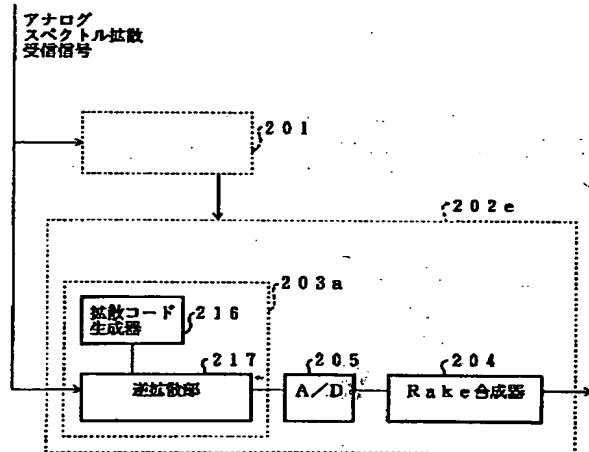
【図40】



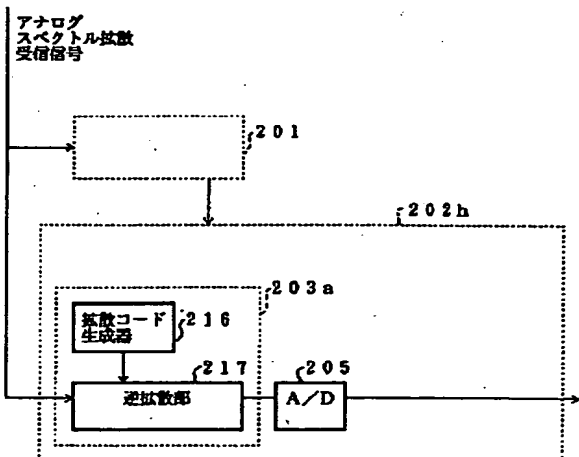
【図41】



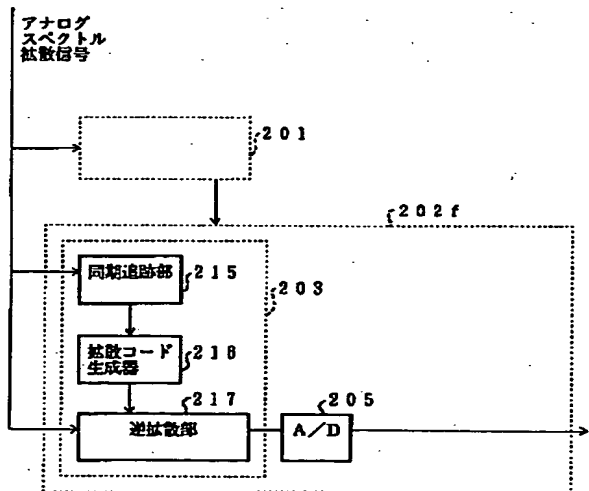
【図42】



【図45】

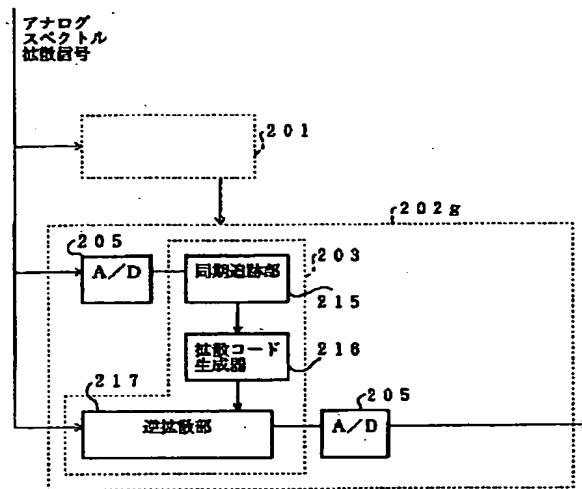


【図43】





【図 44】



**THIS PAGE BLANK** (USPIC,